

PATENT
81788.0262
Express Mail Label No. EV 324 111 171 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

ITO, et al.

Serial No: Not Assigned

Filed: November 24, 2003

For: Semiconductor Storage Device

Art Unit: Not Assigned

Examiner: Not Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-345655, which was filed November 28, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: November 24, 2003

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月28日
Date of Application:

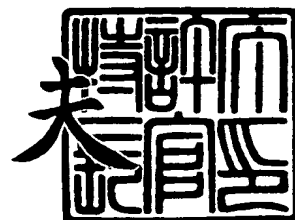
出願番号 特願2002-345655
Application Number:
[ST. 10/C]: [JP 2002-345655]

出願人 株式会社東芝
Applicant(s):

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 13881501

【提出日】 平成14年11月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/00

【発明の名称】 半導体記憶装置

【請求項の数】 16

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 伊 東 幹 彦

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 平 隆 志

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 小 柳 勝

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

多数のメモリセルおよび該メモリセル内のデータを伝達するビット線を含むメモリセルアレイと、

前記ビット線に接続され、前記メモリセル内のデータを増幅する増幅回路と、
前記ビット線と前記増幅回路との間に接続された第 1 のスイッチング素子と、
前記第 1 のスイッチング素子をオンさせる電圧を前記第 1 のスイッチング素子のゲートに印加する第 1 の基準電圧源と、

前記第 1 のスイッチング素子のゲートと第 1 の基準電圧源との間に直列に接続され、かつ互いに並列に接続された第 2 のスイッチング素子および第 3 のスイッチング素子と、

前記第 2 のスイッチング素子および前記第 3 のスイッチング素子をオンさせる電圧を該第 2 のスイッチング素子のゲートおよび該第 3 のスイッチング素子のゲートへ印加する第 2 の基準電圧源と、

前記第 3 のスイッチング素子のゲートと前記第 2 の基準電圧源との間に接続され、前記第 2 のスイッチング素子の動作よりも前記第 3 のスイッチング素子の動作を遅延させる第 1 のタイミング変更回路とを備えた半導体記憶装置。

【請求項 2】

前記第 1 のタイミング変更回路は、第 1 の抵抗器および第 1 のキャパシタからなる RC 遅延回路であることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第 2 のスイッチング素子および前記第 3 のスイッチング素子は P チャネルトランジスタであり、

前記第 2 および第 3 のスイッチング素子ゲートが前記第 1 の基準電圧源に接続されることによって前記第 2 および第 3 のスイッチング素子はオフし、

前記第 2 および第 3 のスイッチング素子ゲートが前記第 2 の基準電圧源に接続されることによって前記第 2 および第 3 のスイッチング素子はオンすることを特

徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 1 のスイッチング素子のゲートにおけるゲート電圧を前記第 1 のタイミング変更回路へフィードバックするフィードバック回路をさらに備え、

前記第 1 のタイミング変更回路は、該ゲート電圧が所定の設定電圧を超えたときに、前記第 2 の基準電圧源を前記第 3 のスイッチング素子のゲートに接続することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記第 1 のタイミング変更回路は、

前記第 1 の基準電圧源の電圧と前記第 2 の基準電圧源の電圧との間の電圧を有する第 3 の基準電圧源と、

前記第 3 のスイッチング素子のゲートと前記第 3 の基準電圧源との間に接続され、前記第 1 のスイッチング素子のゲートに接続されたゲートを有する第 4 のスイッチング素子と、

前記第 3 のスイッチング素子のゲートと前記第 2 の基準電圧源との間に接続され、前記第 1 のスイッチング素子のゲートに接続されたゲートを有し、前記第 4 のスイッチング素子とは逆導電型の第 5 のスイッチング素子とを含み、

前記設定電圧は、前記第 3 の基準電圧源の電圧と前記第 4 のスイッチング素子の閾値電圧との差に基づくことを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記第 2 のスイッチング素子のゲートと前記第 2 の基準電圧源との間に前記第 2 の基準電圧源からの電圧を調節する電圧制御回路をさらに備えたことを特徴とする請求項 1、請求項 2 または請求項 4 のいずれかに記載の半導体記憶装置。

【請求項 7】

前記電圧制御回路は、

前記第 2 のスイッチング素子のゲートと前記第 2 の基準電圧源との間に介在し、ゲートおよびドレインが前記第 2 のスイッチング素子のゲートに接続された第 6 のスイッチング素子を含むことを特徴とする請求項 6 に記載の半導体記憶装置。

。

【請求項 8】

前記電圧制御回路は、

前記第 6 のスイッチング素子のソースと前記第 2 のスイッチング素子のゲートとの間に前記第 6 のスイッチング素子に対して並列に接続され、ゲートが第 1 のスイッチング素子のゲートに接続された第 7 のスイッチング素子を含むことを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】

前記電圧制御回路は、

前記第 6 のスイッチング素子と前記第 2 の基準電圧源との間に介在し、ゲートおよびドレインが前記第 6 のスイッチング素子のソースに接続され、ソースが前記第 2 の基準電圧源に接続された第 8 のスイッチング素子をさらに含むことを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 10】

前記電圧制御回路は、

前記第 8 のスイッチング素子のソースと前記第 2 のスイッチング素子のゲートとの間に前記第 6 および第 8 のスイッチング素子に対して並列に接続され、ゲートが第 1 のスイッチング素子のゲートに接続されことを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 11】

前記電圧制御回路は、前記第 7 のスイッチング素子よりも閾値が高い第 9 のスイッチング素子を含むことを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】

前記第 1 の基準電圧源の電圧と前記第 2 の基準電圧源の電圧との間の電圧を有する第 3 の基準電圧源と、

前記第 2 の基準電圧源の電圧と前記第 3 の基準電圧源の電圧との間の電圧を有する第 4 の基準電圧源と、

前記第 3 の基準電圧源と前記第 1 のスイッチング素子のゲートとの間に接続された第 10 のスイッチング素子と、

前記第 4 の基準電圧源と前記第 1 のスイッチング素子のゲートとの間に接続さ

れた第 11 のスイッチング素子と、

前記第 11 のスイッチング素子と前記第 1 のスイッチング素子のゲートとの間に接続された第 2 の抵抗器とをさらに備え、

前記第 10 のスイッチング素子がオン状態のときには前記第 11 のスイッチング素子はオフ状態であり、前記第 11 のスイッチング素子がオン状態のときには、前記第 10 のスイッチング素子はオフ状態であることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 13】

前記第 10 のスイッチング素子および前記第 11 のスイッチング素子の動作は前記増幅回路を活性化する信号に同期化されていることを特徴とする請求項 12 に記載の半導体記憶装置。

【請求項 14】

前記第 1 の基準電圧源の電圧と前記第 2 の基準電圧源の電圧との間の電圧を有する第 3 の基準電圧源と、

前記第 2 の基準電圧源の電圧と前記第 3 の基準電圧源の電圧との間の電圧を有する第 4 の基準電圧源と、

前記第 3 の基準電圧源と前記第 1 のスイッチング素子のゲートとの間に接続された第 10 のスイッチング素子と、

前記第 4 の基準電圧源と前記第 1 のスイッチング素子のゲートとの間に接続された第 11 のスイッチング素子と、

前記第 4 の基準電圧源と前記第 1 のスイッチング素子のゲートとの間において前記第 11 のスイッチング素子と並列に接続された第 12 のスイッチング素子と、

前記第 11 のスイッチング素子の動作よりも前記第 12 のスイッチング素子の動作を遅延させる第 2 のタイミング変更回路とをさらに備えたことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 15】

前記第 2 のタイミング変更回路は、第 2 の抵抗器および第 2 のキャパシタからなる RC 遅延回路であることを特徴とする請求項 14 に記載の半導体記憶装置。

【請求項 1 6】

前記第 1 のスイッチング素子のゲートにおけるゲート電圧を前記第 2 のタイミング変更回路へフィードバックするフィードバック回路をさらに備え、

前記第 2 のタイミング変更回路は、前記ゲート電圧が所定の設定電圧を超えたときに、前記第 2 の基準電圧源を前記第 3 のスイッチング素子のゲートに接続することを特徴とする請求項 1 4 に記載の半導体記憶装置。

【発明の詳細な説明】**【 0 0 0 1】****【発明の属する技術分野】**

本発明は半導体記憶装置に関する。

【 0 0 0 2】**【従来の技術】**

D R A M等の半導体記憶装置においては、微細化が進むにつれてビット線対の間の結合容量が増大している。この結合容量の増大は、メモリセルに記憶されているデータを増幅するときに干渉を引き起こす。従来から半導体記憶装置は、この干渉によるノイズを防止するために、データをメモリセルから読み出した後、データを増幅するときにビット線とセンスアンプとを切断するように構成されている。

【 0 0 0 3】

図 2 1 は、従来の半導体記憶装置に備えられた増幅回路 1 0 の回路図である。図 2 1 の左側にメモリセル 1 1、その右側にメモリセル 1 2 が示されている。メモリセル 1 1 には、ビット線対 B L L / b B L L が接続されている。メモリセル 1 2 には、ビット線対 B L R / b B L R が接続されている。ビット線対 B L S / b B L S は、増幅回路 1 0 内のセンスアンプ 1 6 に接続されている。ビット線対 B L L / b B L L は、トランジスタ Q 9 および Q 1 0 を介してビット線対 B L S / b B L S に接続されている。ビット線対 B L S / b B L S は、トランジスタ Q 1 1 および Q 1 2 を介してビット線対 B L S / b B L S に接続されている。

【 0 0 0 4】

トランジスタ Q 9 および Q 1 0 は制御信号 ΦL によって制御され、トランジス

タQ12およびQ11は制御信号ΦRによって制御される。メモリセル11が選択された場合には、トランジスタQ12およびQ11がオフ状態に切り替えられる。それによって、ビット線対BLS/bBLSがビット線対BLR/bBLRから切断される。一方、メモリセル12が選択された場合には、トランジスタQ9およびQ10がオフ状態に切り替えられる。それによって、ビット線対BLS/bBLSがビット線対BLR/bBLRまたはBLR/bBLRから切断されることによって、増幅回路10内のビット線対BLS/bBLSからメモリセルアレイCA内のビット線BLRの容量を分離する。

【0005】

増幅回路10内のプリチャージ回路15は、メモリセル11または12が選択される前に、各ビット線対BLR/bBLR、BLR/bBLRおよびBLS/bBLSをVrefにプリチャージしている。センスアンプ16は、メモリセル11またはメモリセル12からのデータを増幅する。

【0006】

図22は、図21に示された増幅回路10へ制御信号ΦLを与える制御回路20の回路図である。制御回路20は、制御信号ΦLとして、Vpp、Vdd、ViiまたはVssのいずれかの電圧値を出力することができる。

【0007】

昇圧信号BOOST-Lは、PチャネルトランジスタQ39をオン状態にして、それにより、制御信号ΦLの電圧をVppへ昇圧させることができる。Vppは、トランジスタQ9、Q10を駆動能力の高い状態させる制御信号ΦLの電圧であり、Vddよりも高い電圧である。

【0008】

分離信号bISO-Lは、NANDゲートG14を介して、PチャネルトランジスタQ35をオン状態にし、それによって、制御信号ΦLの電圧をVddにすることができる。Vddはビット線対BLR/bBLR、BLR/bBLRおよびBLS/bBLSをプリチャージしているときの制御信号ΦLの電圧である。

【0009】

また、分離信号 $bISO-L$ は、NORゲート $G16$ を介して、Nチャネルトランジスタ $Q36$ をオン状態にし、それによって、制御信号 ϕL の電圧を V_{ii} にすることができる。 V_{ii} は、トランジスタ $Q9$ 、 $Q10$ をオフ状態にする電圧である。 V_{ii} は V_{ss} よりも高く V_{dd} よりも低い電圧である。

【0010】

選択信号 $SEL-R$ は、Nチャネルトランジスタ $Q34$ をオン状態にし、それによって、制御信号 ϕL の電圧を V_{ss} にすることができる。 V_{ss} は接地電圧である。また、選択信号 $SEL-R$ は、Pチャネルトランジスタ $Q31$ およびNチャネルトランジスタ $Q32$ から成るスイッチを制御する。それによって、昇圧信号 $BOOST-L$ の反転信号 $bBOOST-L$ がNANDゲート $G14$ およびNORゲート $G16$ へ入力される。選択信号 $SEL-R$ は、図21に示されたメモリセル12を選択する場合にハイ(high)になり、図21に示されたメモリセル11を選択する場合にロウ(low)になる。

【0011】

図23は、図21に示された増幅回路10および図22に示された制御回路20の動作を示すタイミングチャートである。図23を参照して、増幅回路10がメモリセル11のデータを増幅するときの動作を説明する。増幅回路10がデータを読み出す前は、制御信号 ϕL の電圧が V_{dd} である。よって、トランジスタ $Q9$ 、 $Q10$ 、 $Q12$ および $Q11$ はオン状態にある。

【0012】

まず、プリチャージ信号 EQ をロウにしてプリチャージ回路15をオフにする(時点 t_0)。このとき、制御信号 ϕR の電圧が V_{ss} になることによりトランジスタ $Q11$ 、 $Q12$ がオフ状態に切り替えられる。それにより、メモリセル12が増幅回路10から分離される。

【0013】

次に、ワード線 WLL をハイにすることによって、Nチャネルトランジスタ $Q1$ をオン状態にする(時点 t_1)。それにより、センスアンプ16がメモリセル11のデータを受信する。

【0014】

次に、分離信号 $bISO-L$ をロウにすることによって、トランジスタ $Q35$ をオフ状態に切り替え、かつトランジスタ $Q36$ をオン状態に切り替える（時点 t_2 ）。それによって、電圧 V_{ii} が電圧 V_{dd} に代わって制御信号 ΦL として増幅回路 10 へ印加される。制御信号 ΦL の電圧が V_{dd} から V_{ii} へ遷移するので、図 21 に示されたトランジスタ $Q9$ および $Q10$ はオフ状態に切り替わる。

【0015】

その後、センスアンプ 16 はメモリセル 11 のデータを増幅する。データを増幅した後、昇圧信号 $BOOST-L$ をハイにする（時点 t_3 ）。Pチャネルトランジスタ $Q39$ がオン状態に切り替わり、制御信号 ΦL の電圧が V_{pp} になる。それによって、図 21 に示すトランジスタ $Q9$ 、 $Q10$ が再びオン状態に切り替わり、増幅されたデータがメモリセル 11 へ再度書き込まれる。制御信号 ΦL の電圧が V_{dd} よりも高い V_{pp} になるので、キャパシタ $C1$ に十分な電荷が蓄積され得る。

【0016】

次に、ワード線 WLL をロウにする（時点 t_4 ）。

【0017】

さらに、分離信号 $bISO-L$ をハイ、昇圧信号 $BOOST-L$ をロウにすることによって、制御信号 ΦL および ΦR を V_{dd} に戻す（時点 t_5 ）。それによって、トランジスタ $Q9$ および $Q10$ はオン状態を維持し、トランジスタ $Q11$ および $Q12$ はオン状態へ切り替わる。また、このとき、プリチャージ信号 EQ をハイにすることによって、ビット線対 $BLL/bBLL$ 、 $BLR/bBLR$ および $BLS/bBLS$ をプリチャージする。

【0018】

【発明が解決しようとする課題】

上述の従来技術によれば、時点 t_2 において、制御信号 ΦL が V_{ii} になることによって、ビット線対 $BLS/bBLS$ がビット線対 $BLL/bBLL$ から切断される。その結果、センスアンプ 16 がデータを増幅している時に、ビット線対 $BLL/bBLL$ の結合容量に起因するノイズが防止される。また、センスアンプ 16 は、ビット線対 $BLS/bBLS$ の電位差を増幅すれば足りるので、デー

タを高速に増幅することができる。

【0019】

しかし、データをメモリセル11へ再度書き込むために、センスアンプ16は、ビット線対BLS/bBLS内のデータを増幅した後に、ビット線対BL/bBLの電位差をビット線対BLS/bBLSと同様に増幅しなければならない。ビット線対BL/bBLの電位差の増幅が開始される時点は、制御信号 Φ_L が V_{pp} になる時点 t_3 である。

【0020】

このとき、制御信号 Φ_L は V_{ii} から V_{pp} へ急激に増幅されるので、トランジスタQ9およびQ10が瞬時にオン状態に切り替わる。それによって、ビット線対BLS/bBLSの容量にビット線対BL/bBLの容量が急激に加わる。その結果、ハイレベルに増幅されたビット線bBLSの電圧はビット線bBLに接続されることによって低下する。一方で、ロウレベルに増幅されたビット線BLSの電圧はビット線BLとの接続により上昇する。即ち、ビット線対BLS/bBLSにノイズが発生する。

【0021】

このノイズにより、ビット線bBLSとビット線BLSとの電位差が逆転してしまう場合も生じ得る。それによって、データが誤って認識されてしまうという問題が生じる。

【0022】

そこで、本発明の目的は、データを高速に増幅することができ、尚且つ、データの増幅時にビット線の容量に起因するノイズを防止した半導体記憶装置を提供することである。

【0023】

【課題を解決するための手段】

本発明に従った実施の形態による半導体記憶装置は、多数のメモリセルおよび該メモリセル内のデータを伝達するビット線を含むメモリセルアレイと、前記ビット線に接続され、前記メモリセル内のデータを増幅する増幅回路と、前記ビット線と前記増幅回路との間に接続された第1のスイッチング素子と、前記第1の

スイッチング素子をオンさせる電圧を前記第1のスイッチング素子のゲートに印加する第1の基準電圧源と、前記第1のスイッチング素子のゲートと第1の基準電圧源との間に直列に接続され、かつ互いに並列に接続された第2のスイッチング素子および第3のスイッチング素子と、前記第2のスイッチング素子および前記第3のスイッチング素子をオンさせる電圧を該第2のスイッチング素子のゲートおよび該第3のスイッチング素子のゲートへ印加する第2の基準電圧源と、前記第3のスイッチング素子のゲートと前記第2の基準電圧源との間に接続され、前記第2のスイッチング素子の動作よりも前記第3のスイッチング素子の動作を遅延させる第1のタイミング変更回路とを備える。

【0024】

前記第1のタイミング変更回路は、第1の抵抗器および第1のキャパシタからなるRC遅延回路でよい。

【0025】

前記第2のスイッチング素子および前記第3のスイッチング素子はPチャネルトランジスタであり、前記第2および第3のスイッチング素子ゲートが前記第1の基準電圧源に接続されることによって前記第2および第3のスイッチング素子はオフし、前記第2および第3のスイッチング素子ゲートが前記第2の基準電圧源に接続されることによって前記第2および第3のスイッチング素子はオンするように構成されてもよい。

【0026】

該半導体記憶装置は、前記第1のスイッチング素子のゲートにおけるゲート電圧を前記第1のタイミング変更回路へフィードバックするフィードバック回路をさらに備え、前記第1のタイミング変更回路は、該ゲート電圧が所定の設定電圧を超えたときに、前記第2の基準電圧源を前記第3のスイッチング素子のゲートに接続するように構成されてもよい。

【0027】

前記第1のタイミング変更回路は、前記第1の基準電圧源の電圧と前記第2の基準電圧源の電圧との間の電圧を有する第3の基準電圧源と、前記第3のスイッチング素子のゲートと前記第3の基準電圧源との間に接続され、前記第1のスイ

ッティング素子のゲートに接続されたゲートを有する第4のスイッチング素子と、前記第3のスイッチング素子のゲートと前記第2の基準電圧源との間に接続され、前記第1のスイッチング素子のゲートに接続されたゲートを有し、前記第4のスイッチング素子とは逆導電型の第5のスイッチング素子とを含み、前記設定電圧は、前記第3の基準電圧源の電圧と前記第4のスイッチング素子の閾値電圧との差に基づくように構成されてもよい。

【0028】

好ましくは、前記第2のスイッチング素子のゲートと前記第2の基準電圧源との間に前記第2の基準電圧源からの電圧を調節する電圧制御回路をさらに備える。

【0029】

好ましくは、前記電圧制御回路は、前記第2のスイッチング素子のゲートと前記第2の基準電圧源との間に介在し、ゲートおよびドレインが前記第2のスイッチング素子のゲートに接続された第6のスイッチング素子を含む。

【0030】

好ましくは、前記電圧制御回路は、前記第6のスイッチング素子のソースと前記第2のスイッチング素子のゲートとの間に前記第6のスイッチング素子に対して並列に接続され、ゲートが第1のスイッチング素子のゲートに接続された第7のスイッチング素子を含む。

【0031】

好ましくは、前記電圧制御回路は、前記第6のスイッチング素子と前記第2の基準電圧源との間に介在し、ゲートおよびドレインが前記第6のスイッチング素子のソースに接続され、ソースが前記第2の基準電圧源に接続された第8のスイッチング素子をさらに含む。

【0032】

好ましくは、前記電圧制御回路は、前記第8のスイッチング素子のソースと前記第2のスイッチング素子のゲートとの間に前記第6および第8のスイッチング素子に対して並列に接続され、ゲートが第1のスイッチング素子のゲートに接続されている。

【0033】

さらに好ましくは、前記電圧制御回路は、前記第7のスイッチング素子よりも閾値が高い第9のスイッチング素子を含む。

【0034】

該半導体記憶装置は、前記第1の基準電圧源の電圧と前記第2の基準電圧源の電圧との間の電圧を有する第3の基準電圧源と、前記第2の基準電圧源の電圧と前記第3の基準電圧源の電圧との間の電圧を有する第4の基準電圧源と、前記第3の基準電圧源と前記第1のスイッチング素子のゲートとの間に接続された第10のスイッチング素子と、前記第4の基準電圧源と前記第1のスイッチング素子のゲートとの間に接続された第11のスイッチング素子と、前記第11のスイッチング素子と前記第1のスイッチング素子のゲートとの間に接続された第2の抵抗器とをさらに備え、

好ましくは、前記第10のスイッチング素子がオン状態のときには前記第11のスイッチング素子はオフ状態であり、前記第11のスイッチング素子がオン状態のときには、前記第10のスイッチング素子はオフ状態である。

【0035】

好ましくは、前記第10のスイッチング素子および前記第11のスイッチング素子の動作は前記増幅回路を活性化する信号に同期化されている。

【0036】

該半導体記憶装置は、前記第1の基準電圧源の電圧と前記第2の基準電圧源の電圧との間の電圧を有する第3の基準電圧源と、前記第2の基準電圧源の電圧と前記第3の基準電圧源の電圧との間の電圧を有する第4の基準電圧源と、前記第3の基準電圧源と前記第1のスイッチング素子のゲートとの間に接続された第10のスイッチング素子と、前記第4の基準電圧源と前記第1のスイッチング素子のゲートとの間に接続された第11のスイッチング素子と、前記第4の基準電圧源と前記第1のスイッチング素子のゲートとの間において前記第11のスイッチング素子と並列に接続された第12のスイッチング素子と、前記第11のスイッチング素子の動作よりも前記第12のスイッチング素子の動作を遅延させる第2のタイミング変更回路とをさらに備えてもよい。

【0037】

前記第2のタイミング変更回路は、第2の抵抗器および第2のキャパシタからなるRC遅延回路でよい。

【0038】

該半導体記憶装置は、前記第1のスイッチング素子のゲートにおけるゲート電圧を前記第2のタイミング変更回路へフィードバックするフィードバック回路をさらに備え、前記第2のタイミング変更回路は、前記ゲート電圧が所定の設定電圧を超えたときに、前記第2の基準電圧源を前記第3のスイッチング素子のゲートに接続するように構成してもよい。

【0039】

【発明の実施の形態】

以下、図面を参照し、本発明による実施の形態を説明する。実施の形態は本発明を限定するものではない。以下の実施の形態は、Nチャネルトランジスタに代えてPチャネルトランジスタを設け、Pチャネルトランジスタに代えてNチャネルトランジスタを設けてもその実施の形態の効果を失わない。但し、この場合、各信号のレベルを、適宜、変更する必要がある。

【0040】

図1は、本発明に係る第1の実施の形態に従ったDRAM型の半導体記憶装置のブロック図である。半導体記憶装置は、メモリセルアレイCAL、メモリセルアレイCARおよびセンスアンプ領域S/Aを備える。メモリセルアレイCALおよびCARはメモリセルMC、ビット線BLおよびワード線WLを含む。センスアンプ領域S/Aはビット線BLと接続されている。センスアンプ領域S/AはメモリセルMC内のデータを増幅するセンスアンプ116（図2参照）を有する。センスアンプ116は、2つのメモリセルアレイCAL、CARに共用される共有センスアンプ（shared sense amplifier）である。半導体記憶装置は、外部からの信号RASバー、CASバーおよびWEバーをそれぞれ一時的に格納するバッファRAB、CABおよびDQBと、それらの信号をデコードするデコーダRD、CDと、内部電圧発生回路VGとをさらに備える。

【0041】

図2は、センスアンプ領域S/Aに含まれる増幅回路100の回路図である。図2の左側に示されているメモリセル11、ビット線対BLL/bBLLは、メモリセルアレイCALに含まれる。図2の右側に示されているメモリセル12、ビット線対BLR/bBLRは、メモリセルアレイCARに含まれる。ビット線対BLS/bBLSは、センスアンプ領域S/Aに含まれる。ビット線対BLL/bBLLは、メモリセル11に接続されている。ビット線対BLR/bBLRは、メモリセル12に接続されている。ビット線対BLS/bBLSは、増幅回路100内のセンスアンプ116に接続されている。尚、ビット線bBLLは、BLLの反転信号を搬送するビット線であり、BLLバーを意味する。BLRとbBLRおよびBLSとbBLSも同様の関係にある。

【0042】

ビット線BLLとビット線BLSとの間にはNチャネルトランジスタQ109が接続され、ビット線bBLLとビット線bBLSとの間にはNチャネルトランジスタQ110が接続されている。ビット線BLRとビット線BLSとの間にはNチャネルトランジスタQ112が接続され、ビット線bBLRとビット線bBLSとの間にはNチャネルトランジスタQ111が接続されている。トランジスタQ109およびQ110は制御信号ΦLによって制御され、トランジスタQ112およびQ111は制御信号ΦRによって制御される。メモリセル11が選択された場合には、トランジスタQ112およびQ111がオフ状態に切り替えられ、それによって、ビット線BLSおよびビット線bBLSがそれぞれビット線BLRおよびビット線bBLRから切断される。一方、メモリセル12が選択された場合には、トランジスタQ109およびQ110がオフ状態に切り替えられる。

【0043】

プリチャージ回路115は、NチャネルトランジスタQ113、Q114およびQ115を備えている。トランジスタQ113、Q114およびQ115のそれぞれのゲートがプリチャージ信号EQに接続されている。それによって、トランジスタQ113、Q114およびQ115は、プリチャージ信号EQによって制御され、ビット線対BLL/bBLL、BLR/bBLRおよびBLS/bB

LSをVrefにプリチャージすることができる。

【0044】

センスアンプ116は、NチャネルトランジスタQ103、Q104およびPチャネルトランジスタQ106、Q107を備えている。メモリセル11または12のデータを増幅するときには、Nチャネルセンスアンプ制御信号SENをハイ、かつPチャネルセンスアンプ制御信号bSEPをロウにする。それによって、センスアンプ116が活性化され、メモリセルから受けたデータが増幅される。

【0045】

図3は、本実施の形態による半導体記憶装置内の増幅回路100を制御する制御回路200の回路図である。制御回路200は、制御信号ΦLとして、Vpp、Vss、VddまたはViiのいずれかの電圧値を増幅回路100へ出力することができる。Vppは第1の基準電圧源の電圧である。Vssは第2の基準電圧源の電圧である。Vddは第3の基準電圧源の電圧である。さらに、Viiは第4の基準電圧源の電圧である。

【0046】

VddはトランジスタQ109、Q110をオン状態にする電圧である。Vddはビット線対BLL/bBLL、BLR/bBLRおよびBLS/bBLSをプリチャージしているときに制御信号ΦLとして用いられる。

【0047】

Vppは、トランジスタQ109、Q110を高い駆動状態にオンさせる電圧である。VppはVddよりも高い電圧である。増幅後のデータをメモリセル111または112に再び書き込む際に制御信号ΦLの電圧をVppにすることによって、キャパシタC1またはC2に十分な電荷が与えられ得る。

【0048】

Viiは、トランジスタQ109、Q110をオフ状態にする電圧である。センスアンプ116がデータを増幅する際に制御信号ΦLの電圧をViiにすることによって、ビット線対BLS/bBLSがビット線対BLL/bBLLから分離される。その結果、センスアンプ116は、ビット線対BLL/bBLLの結合容

量に起因するノイズに影響されることなく、ビット線対BLS/bBLS内のデータを増幅させることができる。

【0049】

V_{ss}は接地電圧である。制御信号Φ_Lの電圧がV_{ss}であることによって、トランジスタQ109およびQ110は完全にオフ状態となる。尚、V_{ii}はV_{ss}よりも高くV_{dd}よりも低い電圧である。

【0050】

PチャネルトランジスタQ139が、第1の基準電圧源と図2に示すトランジスタQ109およびQ110のゲートとの間に直列に接続されている。トランジスタQ139のソースは第1の基準電圧源に接続され、そのドレインはトランジスタQ109およびQ110のゲートに接続されている。トランジスタQ139のサイズはトランジスタQ39（図2参照）より小さい。

【0051】

PチャネルトランジスタQ140が、第1の基準電圧源と図2に示すトランジスタQ109およびQ110のゲートとの間に直列に接続され、尚且つ、トランジスタQ139に対して並列に接続されている。トランジスタQ140のソースは第1の基準電圧源に接続され、そのドレインはトランジスタQ109およびQ110のゲートに接続されている。トランジスタQ140のサイズはトランジスタQ139よりも大きい。

【0052】

トランジスタQ139のゲートはインバータG111に接続されている。トランジスタQ140のゲートは遅延回路TDを介してインバータG111に接続されている。遅延回路TDは、タイミング変更回路の具体例である。インバータG111は昇圧信号BOOST-Lを昇圧信号bBOOST-L1へ反転させる。従って、昇圧信号BOOST-Lがハイのときに、V_{ss}（ロウ）が昇圧信号bBOOST-L1として出力される。一方、昇圧信号BOOST-Lがロウのときに、V_{pp}（ハイ）が昇圧信号bBOOST-L1として出力される。

【0053】

トランジスタQ140のゲートには遅延回路TDが接続されているので、昇圧

信号 $b\text{BOOST-L}2$ は、昇圧信号 $b\text{BOOST-L}1$ がトランジスタ $Q139$ ゲートへ与えられる時点よりも時間的に遅れてトランジスタ $Q140$ へ与えられる。よって、トランジスタ $Q140$ の動作は、トランジスタ $Q139$ の動作よりも遅延する。

【0054】

第3の基準電圧源と第4の基準電圧源との間に、Pチャネルトランジスタ $Q135$ およびNチャネルトランジスタ $Q136$ が直列に接続されている。ランジスタ $Q135$ とトランジスタ $Q136$ との間のノード $N1$ は、Nチャネルトランジスタ $Q134$ を介して第2の基準電圧源に接続されている。

【0055】

トランジスタ $Q135$ およびトランジスタ $Q136$ の各ドレインはノード $N1$ に接続されている。トランジスタ $Q135$ のソースは第3の基準電圧源に接続されている。トランジスタ $Q136$ のソースは第4の基準電圧源に接続されている。トランジスタ $Q134$ のソースは、第2の基準電圧源に接続され、そのドレインは、トランジスタ $Q109$ のゲートに接続されている。

【0056】

さらに、ノード $N1$ は図2に示すトランジスタ $Q109$ および $Q110$ のゲートに接続されている。よって、制御回路200は、ノード $N1$ から V_{ss} (第2の基準電圧源)、 V_{dd} (第3の基準電圧源) または V_{ii} (第4の基準電圧源) を制御信号 ΦL として出力することができる。尚、 V_{pp} (第1の基準電圧源) は、トランジスタ $Q139$ または $Q140$ を通して出力され得る。

【0057】

トランジスタ $Q135$ のゲートにはNANDゲート $G114$ の出力が接続されている。トランジスタ $Q136$ のゲートにはNORゲート $G116$ の出力が接続されている。NANDゲート $G114$ およびNORゲート $G116$ は分離信号 $b\text{ISO-L}$ および昇圧信号 $b\text{BOOST-L}1$ を共通に入力する。但し、NORゲート $G116$ は昇圧信号 $b\text{BOOST-L}1$ を反転入力する。

【0058】

トランジスタ $Q131$ 、 $Q132$ が、NANDゲート $G114$ の入力とインバ

ータ G111 との間に接続されている。N チャンネル トランジスタ Q133 が、N AND ゲート G114 の入力と第 2 の基準電圧源との間に接続されている。

【0059】

トランジスタ Q131、Q132、Q133 および Q134 は、選択信号 SEL-R によって制御される。尚、選択信号 SEL-R は、インバータ G112 を介して トランジスタ Q132 のゲートへ与えられる。よって トランジスタ Q132 のゲートには、選択信号 SEL-R の反転信号が与えられる。選択信号 SEL-R は、インバータ G112 および G113 を介して トランジスタ Q134 のゲートへ与えられる。よって トランジスタ Q134 のゲートには、選択信号 SEL-R が与えられる。

【0060】

選択信号 SEL-R は、メモリセル 12 が選択されているときにハイになる。このとき、トランジスタ Q131 および Q132 はオフ状態であり、トランジスタ Q133 および Q134 はオン状態である。よって、制御信号 ΦL の電圧は V_{ss} となる。

【0061】

一方、選択信号 SEL-R は、メモリセル 11 が選択されているときにロウである。このとき、トランジスタ Q131 および Q132 はオン状態であり、トランジスタ Q133 および Q134 はオフ状態である。よって、メモリセル 11 が選択されているときには、制御信号 ΦL の電圧は V_{dd} 、 V_{ii} または V_{pp} のいずれかになり得る。

【0062】

制御信号 ΦL の電圧を V_{dd} 、 V_{ii} または V_{pp} にする場合の各信号の状態を説明する。

【0063】

制御信号 ΦL の電圧を V_{pp} にする場合には、昇圧信号 b BOOST-L1 をロウにすればよい。それにより、トランジスタ Q139 および Q140 がオン状態になる。

【0064】

このとき、NANDゲートG114には、昇圧信号bBOOST-L1としてロウが入力される。さらに、NORゲートG116には、昇圧信号bBOOST-L1の反転信号としてハイが入力される。よって、分離信号bISO-Lのレベルにかかわらず、トランジスタQ135およびQ136がオフ状態となる。従って、トランジスタQ109のゲートは、第1の基準電圧源に接続され、第3の基準電圧源および第4の基準電圧源から切断されている。その結果、制御信号 ΦL の電圧は V_{pp} になる。

【0065】

制御信号 ΦL の電圧を V_{dd} にする場合には、昇圧信号bBOOST-L1および分離信号bISO-Lをハイにすればよい。昇圧信号bBOOST-L1がハイであるので、トランジスタQ139およびQ140がオフ状態である。

【0066】

このとき、NANDゲートG114には、昇圧信号bBOOST-L1としてハイが入力される。NORゲートG116には、昇圧信号bBOOST-L1の反転信号としてロウが入力される。さらに、分離信号bISO-Lがハイであるので、トランジスタQ135がオン状態、かつトランジスタQ136がオフ状態になる。従って、トランジスタQ109のゲートは、第3の基準電圧源に接続され、第1の基準電圧源および第4の基準電圧源から切断されている。その結果、制御信号 ΦL の電圧は V_{dd} になる。

【0067】

制御信号 ΦL の電圧を V_{ii} にする場合には、昇圧信号bBOOST-L1をハイにし、分離信号bISO-Lをロウにすればよい。これにより、トランジスタQ135がオフ状態になり、トランジスタQ136がオン状態になる。従って、トランジスタQ109のゲートは、第4の基準電圧源に接続され、かつ第1の基準電圧源および第3の基準電圧源から切断されている。その結果、制御信号 ΦL の電圧は V_{ii} になる。

【0068】

図4は、遅延回路TDの実施例の回路図である。遅延回路TDは、第1の基準電圧源と第2の基準電圧源との間に直列に接続された抵抗器R11およびR12

を備える。トランジスタ Q 3 7 が第 1 の基準電圧源と抵抗器 R 1 1 との間に接続されている。トランジスタ Q 3 8 が第 2 の基準電圧源と抵抗器 R 1 2 との間に接続されている。昇圧信号 b B O O S T - L 1 がトランジスタ Q 3 7 のゲートおよびトランジスタ Q 3 8 のゲートに入力される。

【0069】

インバータ G 1 7 が抵抗器 R 1 1 と抵抗器 R 1 2 との間のノード N 2 に接続されている。昇圧信号 b B O O S T - L 2 がインバータ G 1 7 から出力される。キャパシタ C 1 1 がノード N 2 と第 2 の基準電圧源との間に接続されている。RC 遅延回路がキャパシタ C 1 1 および抵抗器 R 1 2 によって構成されている。

【0070】

昇圧信号 b B O O S T - L 1 がハイの場合には、 V_{pp} が遅延回路 T D から出力される。このとき、キャパシタ C 1 1 は、第 1 の基準電圧源により充電される。

【0071】

昇圧信号 b B O O S T - L 1 がロウに切り替えられた場合には、 V_{pp} に代わって V_{ss} が遅延回路 T D から出力される。このとき、キャパシタ C 1 1 に充電された電荷が抵抗器 R 1 2 を介して第 2 の基準電圧源へ排除される。電荷をキャパシタ C 1 1 から放電するのに要する時間だけ、昇圧信号 b B O O S T - L 2 の出力が遅延する。

【0072】

図 5 は、図 2 に示された増幅回路 1 0 0 および図 3 に示された制御回路 2 0 0 の動作を示すタイミングチャートである。図 2、図 3 および図 5 を参照して、増幅回路 1 0 0 がメモリセル 1 1 のデータを増幅するときの動作を説明する。

【0073】

増幅回路 1 0 0 がデータを読み出す前は、制御信号 ΦL および ΦR の電圧は V_{dd} である。よって、トランジスタ Q 1 0 9、Q 1 1 0、Q 1 1 2 および Q 1 1 1 はオン状態である。増幅回路 1 0 0 がメモリセル 1 1 のデータを読み出すときには、選択信号 S E L - R がロウである。

【0074】

まず、プリチャージ信号 E Q をロウにしてプリチャージ回路 1 1 5 をオフにす

る（時点 t_{10} ）。このとき、制御信号 ΦR の電圧が V_{ss} になることによりトランジスタ Q_{111} 、 Q_{112} がオフ状態に切り替えられる。それにより、メモリセル 12 が増幅回路 100 から分離される。

【0075】

次に、ワード線 WLL をハイにすることによって、トランジスタ Q_1 をオン状態にする（時点 t_{11} ）。それにより、センスアンプ 116 がメモリセル 11 のデータを受信する。

【0076】

次に、分離信号 $bISO-L$ をロウにする（時点 t_{12} ）。それによって、制御信号 ΦL の電圧は V_{dd} から V_{ii} へ遷移する。よって、図 2 に示されたトランジスタ Q_{109} および Q_{110} はオフ状態に切り替わる。その結果、ビット線対 $BLS/bBLS$ がビット線対 $BLL/bBLL$ から分離される。即ち、分離信号 $bISO-L$ はビット線対 $BLS/bBLS$ とビット線対 $BLL/bBLL$ との分離のタイミングを決定する。

【0077】

時点 t_{12} の後に、センスアンプ 116 はメモリセル 11 のデータを増幅する。

【0078】

データ増幅後、昇圧信号 $BOOST-L$ をハイにする（時点 t_{13} ）。即ち、昇圧信号 $bBOOST-L_1$ をロウにする。本実施の形態における制御信号 ΦL の立ち上がりは従来例よりも緩やかになる。これは、トランジスタ Q_{139} のサイズが比較的小さいので、トランジスタ Q_{109} 、 Q_{110} のゲートの昇圧に時間が掛かるからである。

【0079】

制御信号 ΦL が緩やかに立ち上がることによって、図 2 に示されたトランジスタ Q_{109} および Q_{110} が緩やかにオン状態へ切り替えられる。従って、ビット線対 $BLL/bBLL$ がビット線対 $BLS/bBLS$ に次第に接続されていく。ビット線対 $BLS/bBLS$ の容量にビット線対 $BLL/bBLL$ の容量が急激に加わることを回避することができるので、センスアンプ 116 は、ビット線

対BLL/bBLLのデータを徐々にビット線対BLS/bBLSと同じ電位に増幅することができる。その結果、ビット線対BLS/bBLSにノイズが発生することを防止できる。また、ビット線bBLSとビット線BLSとの電位差が逆転してしまうこともない。

【0080】

続いて、遅延回路TDにより遅延せられた昇圧信号bBOOST-L2がロウになる（時点 t_{14} ）。これにより、トランジスタQ140がオン状態に切り替えられる。トランジスタQ139およびQ140の両方がオン状態になることによって、制御信号 ΦL は急速に V_{pp} へ昇圧される。

【0081】

しかし、時点 t_{14} は、すでに、ビット線対BLL/bBLLのデータが増幅された後の時点である。よって、制御信号 ΦL を急速に V_{pp} へ昇圧することによって生じるノイズは問題とならない。むしろ、制御信号 ΦL の電圧が V_{ii} から V_{pp} へ速く昇圧されるので、増幅されたデータがメモリセル11へ速く書き込まれ得る。その結果、本実施の形態による半導体記憶装置が高速化される。

【0082】

制御信号 ΦL の電圧が V_{pp} になることによって、トランジスタQ109、Q110が再びオン状態に切り替わる（時点 t_{15} ）。それにより、増幅されたデータがメモリセル11へ再度書き込まれる。このとき、制御信号 ΦL の電圧が V_{dd} よりも高い V_{pp} であるので、キャパシタC1に十分な電荷が蓄積され得る。

【0083】

次に、ワード線WLLをロウにする（時点 t_{16} ）。

【0084】

さらに、分離信号bISO-Lをハイ、昇圧信号BOOST-Lをロウにすることによって、制御信号 ΦL および ΦR を V_{dd} に戻す（時点 t_{17} ）これにより、トランジスタQ109およびQ110はオン状態を維持する。トランジスタQ111およびQ112はオン状態へ切り替わる。また、このとき、プリチャージ信号EQをハイにすることによって、ビット線対BLL/bBLL、BLR/bBLRおよびBLS/bBLSをプリチャージする。

【0085】

本実施の形態によれば、センスアンプ116がデータを増幅しているときに、制御信号 ΦL が V_{ii} から V_{pp} へ緩やかに昇圧され始める。よって、ビット線対 B_{LL}/b_{BLL} の容量に起因するノイズが防止され得る。

【0086】

本実施の形態によれば、センスアンプ116がデータを増幅した後に、制御信号 ΦL が V_{pp} へ急速に昇圧される。よって、センスアンプ動作が高速化され得る。

【0087】

トランジスタ Q_{139} および Q_{140} がPチャネルトランジスタであることによって、第1から第4の基準電圧源以外の電圧源を追加することなく、トランジスタ Q_{139} および Q_{140} が駆動し得る。

【0088】

図6は、本発明に係る第2の実施の形態における制御回路300の回路図である。本実施の形態は、トランジスタ Q_{139} のゲートとノードN3との間に、電圧制御回路VCが接続されている点で第1の実施の形態と異なる。ノードN3は、遅延回路TDとインバータ G_{111} の出力との接続点である。

【0089】

電圧制御回路VCは、第1の基準電圧源と第2の基準電圧源との間にNチャネルトランジスタ Q_{142} が接続されている。トランジスタ Q_{142} のゲートとドレインは短絡されている。さらにトランジスタ Q_{142} のゲートとドレインは、トランジスタ Q_{139} のゲートに接続されている。

【0090】

Pチャネルトランジスタ Q_{141} がトランジスタ Q_{142} のドレインと第1の基準電圧源との間に接続されている。Nチャネルトランジスタ Q_{143} がトランジスタ Q_{142} のソースと第2の基準電圧源との間に接続されている。さらに、インバータ G_{118} がトランジスタ Q_{141} 、 Q_{143} のゲートとインバータ G_{111} との間に接続されている。

【0091】

制御回路 300 の動作を説明する。電圧制御回路 VC は、昇圧信号 b BOOST-T-L1 を入力して、昇圧信号 b BOOST-T-Ld を出力するように動作する。

【0092】

トランジスタ Q141、Q143 のゲートは共通に接続されているので、トランジスタ Q142、Q143 のいずれか一方がオン状態であり、他方がオフ状態である。

【0093】

昇圧信号 b BOOST-T-L1 がハイになった場合には、トランジスタ Q141 がオン状態になり、トランジスタ Q143 がオフ状態になる。よって、昇圧信号 b BOOST-T-Ld は V_{pp} (ハイ) になる。この場合の昇圧信号 b BOOST-T-Ld は、第 1 の実施の形態の昇圧信号 b BOOST-T-L1 と同様である。

【0094】

一方、昇圧信号 b BOOST-T-L1 がロウになった場合には、トランジスタ Q143 がオン状態、かつトランジスタ Q141 がオフ状態になる。第 2 の基準電圧源はトランジスタ Q142 のソースに接続されるので、昇圧信号 b BOOST-T-Ld の電圧は V_{ss} にトランジスタ Q142 の閾値を加えた電圧となる。即ち、b BOOST-T-Ld の電圧は $V_{ss} + V_{th}(Q142)$ となる。

【0095】

図 7 は、第 2 の実施の形態の動作を示すタイミングチャートである。時点 t_{13} において、昇圧信号 b BOOST-T-Ld が、昇圧信号 b BOOST-T-L1 のように V_{ss} まで低下することなく、 $V_{ss} + V_{th}(Q142)$ までしか低下しない点で、第 1 の実施の形態と異なる。

【0096】

従って、時点 t_{13} から時点 t_{14} までの制御信号 Φ_L の立ち上がりが第 1 の実施の形態よりもさらに緩やかになる。よって、本実施の形態は、ビット線対 BLS/bBLS に発生するノイズを第 1 の実施の形態よりも確実に防止できる。

【0097】

図 8 は、本発明に係る第 3 の実施の形態における制御回路 400 の回路図である。本実施の形態は、遅延回路 TD に代えて、遅延回路 TD とは異なるタイミン

グ変更回路TSを備えている点で第1の実施の形態と異なる。タイミング変更回路TSは、PチャネルトランジスタQ144、Q146、NチャネルトランジスタQ145、Q147およびインバータG119を備える。

【0098】

トランジスタQ146のソースは第3の基準電圧源に接続されている。トランジスタQ146のドレインはトランジスタQ145を介してトランジスタQ140のゲート接続されている。

【0099】

トランジスタQ147のソースは第2の基準電圧源に接続されている。トランジスタQ147のドレインは、トランジスタQ146のドレインと同様に、トランジスタQ145を介してトランジスタQ140のゲートに接続されている。トランジスタQ146のゲートおよびトランジスタQ147のゲートはともにトランジスタQ109、Q110のゲートに接続されている。

【0100】

トランジスタQ144のソースは第1の基準電圧源に接続されている。トランジスタQ144のドレインはトランジスタQ140のゲートに接続されている。トランジスタQ145のソースはトランジスタQ146、Q147のドレインに接続されている。トランジスタQ145のドレインは、トランジスタQ144のドレインと同様に、トランジスタQ140のゲートに接続されている。トランジスタQ144のゲートおよびトランジスタQ145のゲートは、ともにインバータG119を介してインバータG111とトランジスタQ139のゲートとの間に接続されている。

【0101】

次に、制御回路400の動作を説明する。

【0102】

昇圧信号bBOOST-L1がハイになった場合には、トランジスタQ144がオン状態になり、トランジスタQ145がオフ状態になる。よって、Vppが昇圧信号bBOOST-L2として出力される。この動作は、第1の実施の形態と同じである。

【0103】

昇圧信号 $b\text{BOOST-L1}$ がロウになった場合には、トランジスタ $Q145$ がオン状態になり、トランジスタ $Q144$ がオフ状態になる。よって、トランジスタ $Q146$ のドレインとトランジスタ $Q147$ のドレインとの接続点 $N4$ における電圧が昇圧信号 $b\text{BOOST-L2}$ として出力される。

【0104】

昇圧信号 $b\text{BOOST-L1}$ がハイからロウへ切り替えられる時点（図9の時点 t_{13} 参照）では、制御信号 ΦL の電圧は V_{ii} である。従って、トランジスタ $Q146$ は、制御信号 ΦL のフィードバックを受けてオン状態になっている。トランジスタ $Q147$ は、制御信号 ΦL のフィードバックを受けてオフ状態になっている。よって、接続点 $N4$ における電圧、即ち、昇圧信号 $b\text{BOOST-L2}$ の電圧は、 V_{dd} になる。よって、トランジスタ $Q140$ はオフ状態のままである。

【0105】

制御信号 ΦL の電圧が V_{ii} から $V_{dd} - V_{th}(Q146)$ （以下、設定電圧 V_{set} という）に達した時に、トランジスタ $Q146$ がオフ状態に切り替えられる。トランジスタ $Q147$ のしきい値は設定電圧 V_{set} よりも低く設定されている。従って、トランジスタ $Q146$ がオフ状態に切り替えられた時点において、トランジスタ $Q147$ はすでにオン状態にある。これにより、接続点 $N4$ における電圧、即ち、昇圧信号 $b\text{BOOST-L2}$ の電圧は V_{ss} になり、その結果、トランジスタ $Q140$ がオン状態になる。

【0106】

図9は、本発明に係る第3の実施の形態の動作を示すタイミングチャートである。本実施の形態においては、制御信号 ΦL が設定電圧 V_{set} に達したときにトランジスタ $Q140$ がオン状態に切り替えられる点で第1の実施の形態と異なる。時点 t_{10} から時点 t_{12} までの本実施の形態の動作は第1の実施の形態と同じである。

【0107】

時点 t_{13} において、昇圧信号 $b\text{BOOST-L1}$ がハイからロウへ切り替えられる。トランジスタ $Q144$ がオフ状態になり、トランジスタ $Q145$ がオン

状態になる。このとき、トランジスタ Q146 はオン状態になっている。トランジスタ Q147 はオフ状態になっている。よって、昇圧信号 b BOOST-L2 が V_{pp} から V_{dd} へ減圧される。

【0108】

時点 t_{14} において、制御信号 ΦL が設定電圧 V_{set} に達する。それによって、トランジスタ Q146 がオフ状態になり、トランジスタ Q147 がオン状態になる。よって、昇圧信号 b BOOST-L2 の電圧は V_{dd} から V_{ss} へ減圧される。このとき、トランジスタ Q140 がオン状態になるので、制御信号 ΦL が急激に V_{pp} へ上昇する。

【0109】

第1の実施の形態によれば、タイミング変更回路として RC 遅延回路が用いられていた。一般に、抵抗器およびキャパシタは、製造プロセスによるばらつきが大きな素子である。よって、トランジスタ Q140 がトランジスタ Q139 とほぼ同時にオン状態になる可能性がある。逆に、トランジスタ Q140 がオン状態になるまで長時間を要することによって、増幅回路の高速動作が妨げられる場合もある。

【0110】

しかし、本実施の形態によれば、タイミング変更回路は、総てトランジスタにより構成されているので、製造プロセスによるばらつきが比較的小さい。さらに、制御信号 ΦL が設定電圧 V_{set} を超えることを条件に、トランジスタ Q140 がオン状態になる。従って、トランジスタ Q140 は、トランジスタ Q139 を介して制御信号 ΦL が設定電圧 V_{set} に昇圧されるまではオン状態になることはない。また、トランジスタ Q139 を介して制御信号 ΦL が設定電圧 V_{set} 以上に昇圧されることによって、トランジスタ Q140 は確実にオン状態になる。

【0111】

このように、本実施の形態は、製造プロセスのばらつきを考慮することなく、制御信号 ΦL を V_{pp} へ昇圧させるタイミングを決定することができる。

【0112】

図10は、本発明に係る第4の実施の形態における制御回路 500 の回路図で

ある。本実施の形態は、第2の実施の形態および第3の実施の形態の組合せである。本実施の形態によれば、第2の実施の形態および第3の実施の形態の両方の効果を得ることができる。

【0113】

尚、タイミング変更回路TSは、遅延回路TDに置き換えてもよい。この場合には、第1の実施の形態および第2の実施の形態の両方の効果を得ることができる。

【0114】

図11は、本発明に係る第5の実施の形態における制御回路600の回路図である。本実施の形態は、電圧制御回路VC内にNチャネルトランジスタQ148を備えている点で第4の実施の形態と異なる。トランジスタQ148は、トランジスタ142と並列に接続されている。トランジスタQ148のゲートはトランジスタQ109、Q110のゲートに接続されている。トランジスタQ139をトランジスタQ140よりも速いタイミングで動作させるために、トランジスタ148の閾値電圧は、トランジスタ147の閾値電圧よりも低いことが好ましい。

【0115】

図12は本発明に係る第5の実施の形態の動作を示すタイミングチャートである。第4の実施の形態においては、制御信号ΦLは、その傾きを2回変更しつつV_{ii}からV_{pp}まで上昇した。しかし、本実施の形態においては、制御信号ΦLは、その傾きを3回変更しつつV_{ii}からV_{pp}まで上昇する。

【0116】

時点t₁₀から時点t₁₃までは第2の実施の形態と同じである。時点t₁₃において、昇圧信号bBOOST-Ldの電圧はV_{pp}からV_{ss}+V_{th}(Q142)へ減圧されるので、トランジスタQ139がオン状態に切り替わる。従って、本実施の形態における時点t₁₃から時点t_{14a}までの制御信号ΦLの傾き（以下、第1の傾きという）は、第2の実施の形態における時点t₁₃から時点t₁₄までの制御信号ΦLの傾きと同じである（図7参照）。

【0117】

制御信号 ΦL はトランジスタQ148のゲートにフィードバックされているので、制御信号 ΦL の電圧がトランジスタQ148の閾値 V_{th} (Q148)まで上昇したときに、トランジスタQ148がオン状態になる(時点 t_{14a})。それによって、トランジスタQ139のゲート電圧が V_{ss} になるので、トランジスタQ139のチャネル抵抗がさらに低下し、トランジスタQ139の駆動能力が向上する。その結果、制御信号 ΦL は、第1の傾きよりも大きな第2の傾きで上昇する。

【0118】

さらに、制御信号 ΦL の電圧が、 V_{ii} から上昇し設定電圧 V_{set} に達した時に、トランジスタQ146がオフ状態に切り替えられ、かつ、トランジスタQ147がオン状態に切り替えられる(時点 t_{14b})。それによって、制御信号 ΦL の電圧は、第2の傾きよりも大きな第3の傾きで V_{pp} まで上昇する。第3の傾きは、第3の実施の形態における時点 t_{14} から時点 t_{15} までの制御信号 ΦL の傾きと同じである(図9参照)。制御信号 ΦL の電圧が V_{pp} に達した後、即ち、時点 t_{15} 以降の本実施の形態の動作は、第3の実施の形態の動作と同様である。

【0119】

制御回路600は、制御信号 ΦL の傾きを3段階に分けて変更する。さらに、制御信号 ΦL の第2の傾きは、第1のかたむきよりも大きく、かつ第3の傾きよりも小さい。従って、制御回路600は、制御信号 ΦL の電圧を V_{ii} から V_{pp} まで比較的滑らかに上昇させることができる。換言すると、本実施の形態は、データの増幅時において、図2に示されたビット線対 $BLL/bBLL$ をビット線対 $BLS/bBLS$ へ第1から第4の実施の形態よりも滑らかに接続することができる。その結果、本実施の形態のセンスアンプは、第1から第4の実施の形態よりも低ノイズかつ高感度で増幅動作をすることができる。本実施の形態は、さらに第4の実施の形態と同様の効果を得ることができる。

【0120】

図13は、本発明に係る第6の実施の形態における制御回路700の回路図である。本実施の形態は、電圧制御回路VC内にNチャネルトランジスタQ149

を備えている点で第5の実施の形態と異なる。トランジスタQ149は、トランジスタQ142とトランジスタQ143との間に接続されている。トランジスタQ149のゲートは、トランジスタQ149のドレインおよびトランジスタQ148のソースに接続されている。

【0121】

図14は本発明に係る第6の実施の形態の動作を示すタイミングチャートである。本実施の形態は、制御信号ΦLがその傾きを3回変更しつつV_{ii}からV_{pp}まで上昇する点で第5の実施の形態と同様である。

【0122】

しかし、本実施の形態によれば、トランジスタQ149がトランジスタQ148のソースと第2の基準電圧源との間に介在する。よって、時点t₁₃において昇圧信号bBOOST-Ldの電圧は、V_{pp}からV_{ss}+V_{th}(Q142)+V_{th}(Q149)へ減圧される。よって、本実施の形態における制御信号ΦLの第1の傾きは、第5の実施の形態における制御信号ΦLの第1の傾きよりも小さい。

【0123】

さらに、時点t_{14a}において昇圧信号bBOOST-Ldの電圧は、V_{ss}+V_{th}(Q142)+V_{th}(Q149)からV_{ss}+V_{th}(Q149)へ減圧される。よって、本実施の形態における制御信号ΦLの第2の傾きは、第5の実施の形態における制御信号ΦLの第2の傾きよりも小さい。時点t_{14b}以降の本実施の形態の動作は、第5の実施の形態と同様である。V_{th}(Q142)およびV_{th}(Q149)は、トランジスタQ139のゲート電圧を調整するために、即ち、制御信号ΦLの傾きを調整するために、個別に設定することができる。

【0124】

本実施の形態によれば、制御信号ΦLの第1および第2の傾きが、第5の実施の形態のそれよりも小さいので、制御回路700は、制御信号ΦLの電圧をV_{ii}からV_{pp}まで滑らかに上昇させることができる。換言すると、本実施の形態は、データの増幅時において、図2に示されたビット線対BL_L/bBL_Lをビット線対BL_S/bBL_Sへ第1から第5の実施の形態よりも滑らかに接続することができる。その結果、本実施の形態のセンスアンプは、第1から第5の実施の形

態よりも低ノイズかつ高感度で増幅動作をすることができる。さらに、本実施の形態は、第5の実施の形態と同様の効果を得ることができる。

【0125】

図13に示した制御回路700の変形例として、トランジスタQ148のソースをトランジスタQ149のソースに接続した制御回路（図示せず）が考えられる。この変形例によれば、図14に示す時点 t_{14a} において昇圧信号bBOOST-Ldの電圧が $V_{ss} + V_{th}(Q142) + V_{th}(Q149)$ から V_{ss} に遷移する。従って、制御信号 ΦL の第1の傾きは、第6の実施の形態のそれと同様に小さい。制御信号 ΦL の第2の傾きは、第3の実施の形態のそれと同様となる。

【0126】

トランジスタQ139と第2の基準電圧源との間に直列接続されるトランジスタQ142およびQ149の個数は限定しない。例えば、トランジスタQ142およびQ149の個数がそれぞれmおよびnであると仮定すると、時点 t_{13} から時点 t_{14a} までの昇圧信号bBOOST-Ldの電圧は、 $V_{ss} + m \cdot V_{th}(Q142) + n \cdot V_{th}(Q149)$ となる。時点 t_{14a} から時点 t_{17} までの昇圧信号bBOOST-Ldの電圧は、 $V_{ss} + n \cdot V_{th}(Q149)$ となる。

【0127】

トランジスタQ148の個数も限定しない。例えば、図15に示すように、トランジスタQ142およびQ149に対して並列にトランジスタQ148'を接続する。トランジスタQ148'のゲートはトランジスタQ148のゲートと共通である。この変形例により、制御信号 ΦL がその傾きを4回変更しつつ V_{ii} から V_{pp} まで上昇し得る。トランジスタQ148の個数をさらに増加させることによって、制御信号 ΦL がその傾きを5回以上変更しつつ V_{ii} から V_{pp} まで上昇し得る。

【0128】

図16は、本発明に係る第7の実施の形態における制御回路800の回路図である。本実施の形態は、同期回路SCおよび抵抗器R13を備えている点で第1の実施の形態と異なる。

【0129】

同期回路SCはNANDゲートG114の入力およびNORゲートG116の入力に接続されている。同期回路SCはNANDゲートG120を備える。NANDゲートG120は、センスアンプ活性化信号SEN（図2参照）および分離信号bISO-L'の反転信号を入力し、その演算結果をNANDゲートG114へ出力する。

【0130】

制御回路800は、同期回路SCを備えることによって、センスアンプ活性化信号SENと同期してトランジスタQ109およびQ110（図2参照）を動作させることができる。それによって、ビット線対BLS/bBLSは、センスアンプの活性化とほぼ同時にビット線対BL L/bBL Lから分離される。

【0131】

従来のようにビット線対BLS/bBLSがビット線対BL L/bBL Lから完全に分離された状態でセンスアンプ116が活性化された場合には、データはビット線BLSとビット線bBLSとの容量の相違に基づくノイズの影響を受けやすくなる。これにより、センスアンプ116が活性化されたときにデータが反転してしまう可能性もある。

【0132】

しかし、本実施の形態によれば、ビット線対BLS/bBLSはセンスアンプ116の活性化とほぼ同時にビット線対BL L/bBL Lから分離されるので、データはビット線対BLS/bBLSの容量の相違に基づくノイズの影響を受け難い。

【0133】

制御回路800は、トランジスタQ136とノードN1との間に直列接続された抵抗器R13をさらに備える。抵抗器R13および寄生容量がRC遅延回路を成す。それにより、センスアンプ116が活性化されたときに、ビット線対BLS/bBLSがビット線対BL L/bBL Lから徐々に分離される。それによって、ビット線BLSとビット線bBLSとの容量の相違に基づくノイズがセンスアンプ116によって検出され難くなる。その結果、センスアンプ116は正し

いデータを増幅することができる。本実施の形態は、さらに第1の実施の形態と同様の効果を有する。尚、寄生容量は、例えば、抵抗器R13からトランジスタQ109、Q110のゲートまでの配線容量である。

【0134】

図17は、本発明に係る第8の実施の形態の動作を示すタイミングチャートである。時点 t_{12} において、センスアンプ活性化信号SENがロウからハイに遷移した時から、制御信号 Φ_L の電圧が低下し始める。これは、制御回路800がセンスアンプ116に同期していることを示す。尚、このときbISO-L'はロウに維持されている。

【0135】

時点 t_{12} から時点 t_{13} までの間に、制御信号 Φ_L の電圧がVddからViiへ徐々に低下している。これは、ビット線対BLS/bBLSがビット線対BLL/bBLLから徐々に分離されていくことを示している。本実施の形態の他の動作は第1の実施の形態と同様である。

【0136】

図18は、本発明に係る第8の実施の形態における制御回路900の回路図である。本実施の形態は、遅延回路TD'、NORゲートG117およびNチャネルトランジスタQ150を備えている点で第1の実施の形態と異なる。また、本実施の形態は、トランジスタQ136'のサイズがトランジスタQ136のサイズよりの小さい点で第1の実施の形態と異なる。

【0137】

トランジスタQ150は、第2の基準電圧源とノードN1との間に直列に接続されている。NORゲートG117はNORゲートG116が入力する信号と同じ信号を入力する。ただし、NORゲートG117は遅延回路TD'を通して分離信号bISO-Lを入力する。NORゲートG117の出力がトランジスタQ150のゲートに接続されている。それによって、トランジスタQ150は、トランジスタQ136'よりも遅延して動作する。遅延回路TD'の構成は、遅延回路TDの構成と同じでよい。NORゲートG117は、トランジスタQ150の動作をトランジスタQ136'のそれよりも遅延させるため、並びに、トラン

ジスタ Q150 がオフ状態に切り替えられる時期よりも早くトランジスタ Q139 がオン状態になることを防止するために設けられている。

【0138】

制御回路 900 は、制御回路 800 と同様に同期回路 SC を備える。それによって、制御回路 900 は、センスアンプ活性化信号 SEN と同期してトランジスタ Q109 および Q110 を動作させることができる。

【0139】

図 19 は、本発明に係る第 8 の実施の形態の動作を示すタイミングチャートである。時点 t_{12a} において、分離信号 ISO-L1 がロウからハイに遷移するので、トランジスタ Q136' がオン状態になる。それによって、制御信号 ΦL の電圧が Vdd から徐々に低下する。トランジスタ Q136' は比較的サイズが小さいので、本実施の形態において制御信号 ΦL の電圧は、第 7 の実施の形態よりも緩やかに低下し始める。

【0140】

時点 t_{12b} において、分離信号 ISO-L2 がロウからハイに遷移するので、トランジスタ Q150 がトランジスタ Q136' よりも遅延してオン状態になる。それによって、制御信号 ΦL の電圧は Vii へ向かって急激に低下する。

【0141】

本実施の形態によれば、ビット線対 BLS/bBLS とビット線対 BLL/bBLL とがセンスアンプ 116 の活性化後に分離される。従って、本実施の形態は、ビット線 BLS とビット線 bBLS との容量の相違に基づくノイズの影響を確実に排除することができる。本実施の形態は、さらに第 7 の実施の形態と同様の効果を有する。

【0142】

添付図面に示した各トランジスタの “S” および “D” は、それぞれソースおよびドレインを意味する。

【0143】

第 4 から第 6 の実施の形態において、タイミング変更回路 TS は、RC 遅延回路 TD であってもよい。第 7 および第 8 の実施の形態において、RC 遅延回路 T

Dは、タイミング変更回路TSであってもよい。

【0 1 4 4】

図20は、本発明に係る第9の実施の形態における制御回路1000の回路図である。本実施の形態は、第8の実施の形態のRC遅延回路TDに代えて、タイミング変更回路TSを用いた形態である。本実施の形態のタイミングチャートは図19と同様である。図20に示す実施の形態も、第8の実施の形態と同様の効果を得ることができる。

【0 1 4 5】

第7および第8の実施の形態は、トランジスタQ139のゲートとインバータG111との間に電圧変更回路VCをさらに備えてもよい。上記実施の形態は、DRAM型の半導体記憶装置に関するが、本発明はこれに限らず他の記憶装置にも応用できる。

【0 1 4 6】

【発明の効果】

本発明に従った半導体記憶装置によれば、データを高速に増幅することができ、尚且つ、データの増幅時にビット線の容量に起因するノイズを防止することができる。

【図面の簡単な説明】

【図1】

本発明に係る第1の実施の形態に従ったDRAM型の半導体記憶装置のブロック図。

【図2】

本実施の形態による半導体記憶装置内のセンスアンプ領域S/Aに備えられた増幅回路100の回路図。

【図3】

本実施の形態による半導体記憶装置内の増幅回路100を制御する制御回路200の回路図。

【図4】

遅延回路TDの実施例の回路図。

【図 5】

図 2 に示された増幅回路 1 0 0 および図 3 に示された制御回路 2 0 0 の動作を示すタイミングチャート。

【図 6】

本発明に係る第 2 の実施の形態における制御回路 3 0 0 の回路図。

【図 7】

第 2 の実施の形態の動作を示すタイミングチャート。

【図 8】

本発明に係る第 3 の実施の形態における制御回路 4 0 0 の回路図。

【図 9】

本発明に係る第 3 の実施の形態の動作を示すタイミングチャート。

【図 1 0】

本発明に係る第 4 の実施の形態における制御回路 5 0 0 の回路図。

【図 1 1】

本発明に係る第 5 の実施の形態における制御回路 6 0 0 の回路図。

【図 1 2】

本発明に係る第 5 の実施の形態の動作を示すタイミングチャート。

【図 1 3】

本発明に係る第 6 の実施の形態における制御回路 7 0 0 の回路図。

【図 1 4】

本発明に係る第 6 の実施の形態の動作を示すタイミングチャート。

【図 1 5】

本発明に係る第 6 の実施の形態の変形例の回路図。

【図 1 6】

本発明に係る第 7 の実施の形態における制御回路 8 0 0 の回路図。

【図 1 7】

本発明に係る第 8 の実施の形態の動作を示すタイミングチャート。

【図 1 8】

本発明に係る第 8 の実施の形態における制御回路 9 0 0 の回路図。

【図 19】

本発明に係る第 8 の実施の形態の動作を示すタイミングチャート。

【図 20】

本発明に係る第 9 の実施の形態における制御回路 1000 の回路図。

【図 21】

従来の半導体記憶装置に備えられた増幅回路 10 の回路図。

【図 22】

図 21 に示された増幅回路 10 へ制御信号 ΦL を与える制御回路 20 の回路図

。

【図 23】

図 21 に示された増幅回路 10 および図 22 に示された制御回路 20 の動作を示すタイミングチャート。

【符号の説明】

100 増幅回路

200、300、400、500、600、700、800、900 制御回路

CAL、CAR メモリセルアレイ

BLL、bBLL、BLS、bBLS、BLR、bBLR ビット線

116 センスアンプ

11、12 メモリセル

Q103、Q104、Q109、Q110、Q111、Q112、Q113、Q

114、Q115、Q132、Q133、Q134、Q142、Q143、Q1

45、Q147、Q148、Q149、Q150 Nチャネルトランジスタ

Q106、Q107、Q131、Q135、Q136、Q139、Q140、Q

141、Q144、Q146 Pチャネルトランジスタ

R11、R12、R13 抵抗器

TD、TD' 遅延回路

VC 電圧制御回路

TS タイミング変更回路

SC 同期回路

V_{pp} 第 1 の基準電圧源の電圧

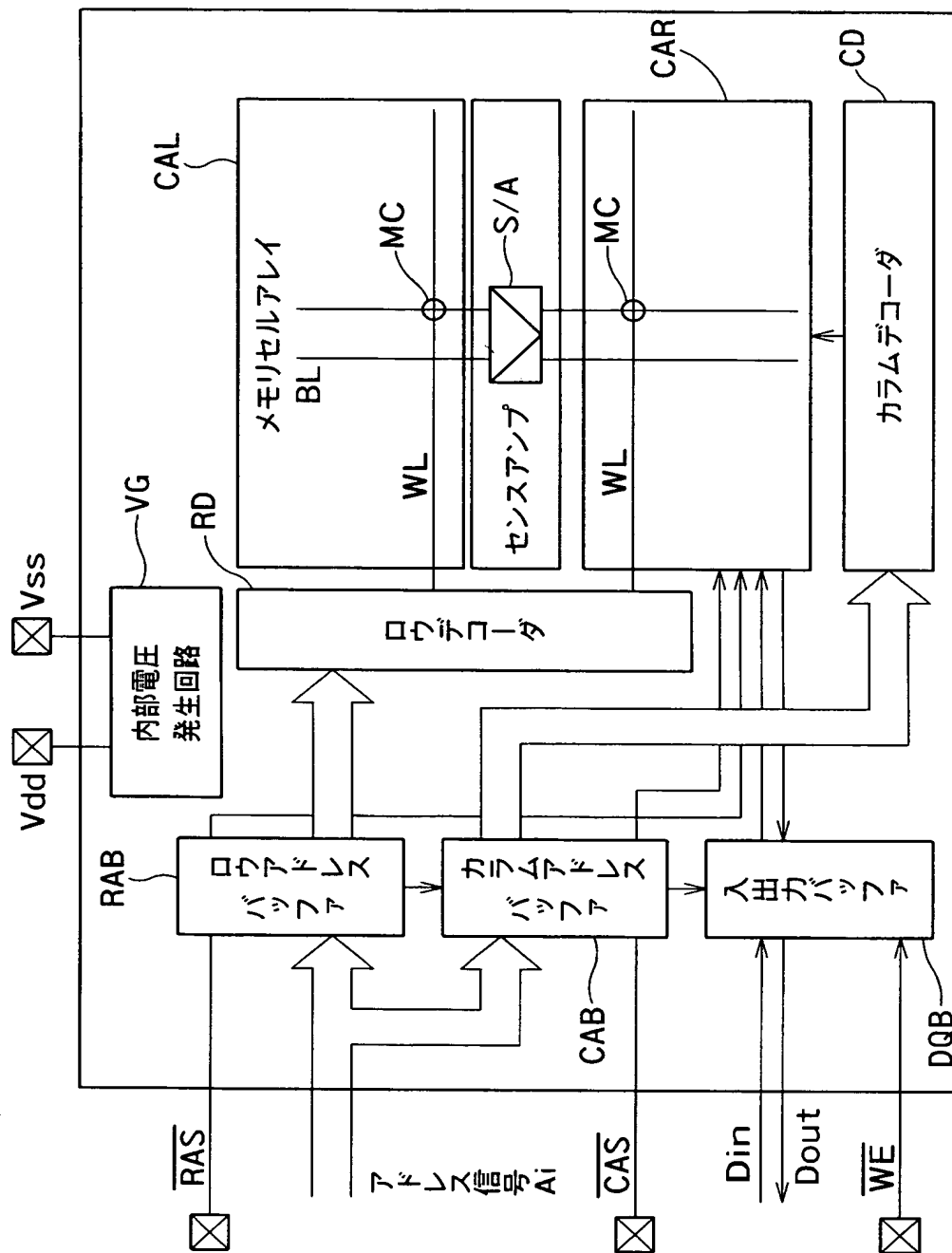
V_{ss} 第 2 の基準電圧源

V_{dd} 第 3 の基準電圧源の電圧

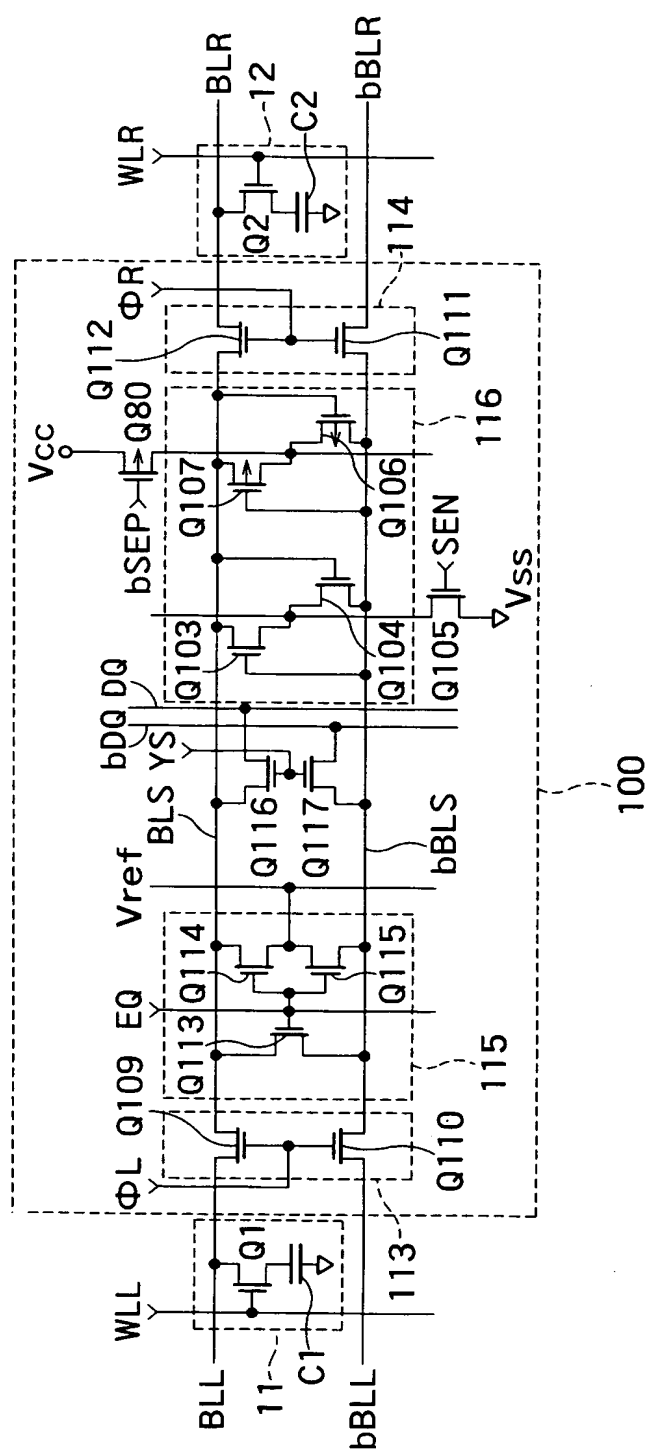
V_{ii} 第 4 の基準電圧源の電圧

【書類名】 図面

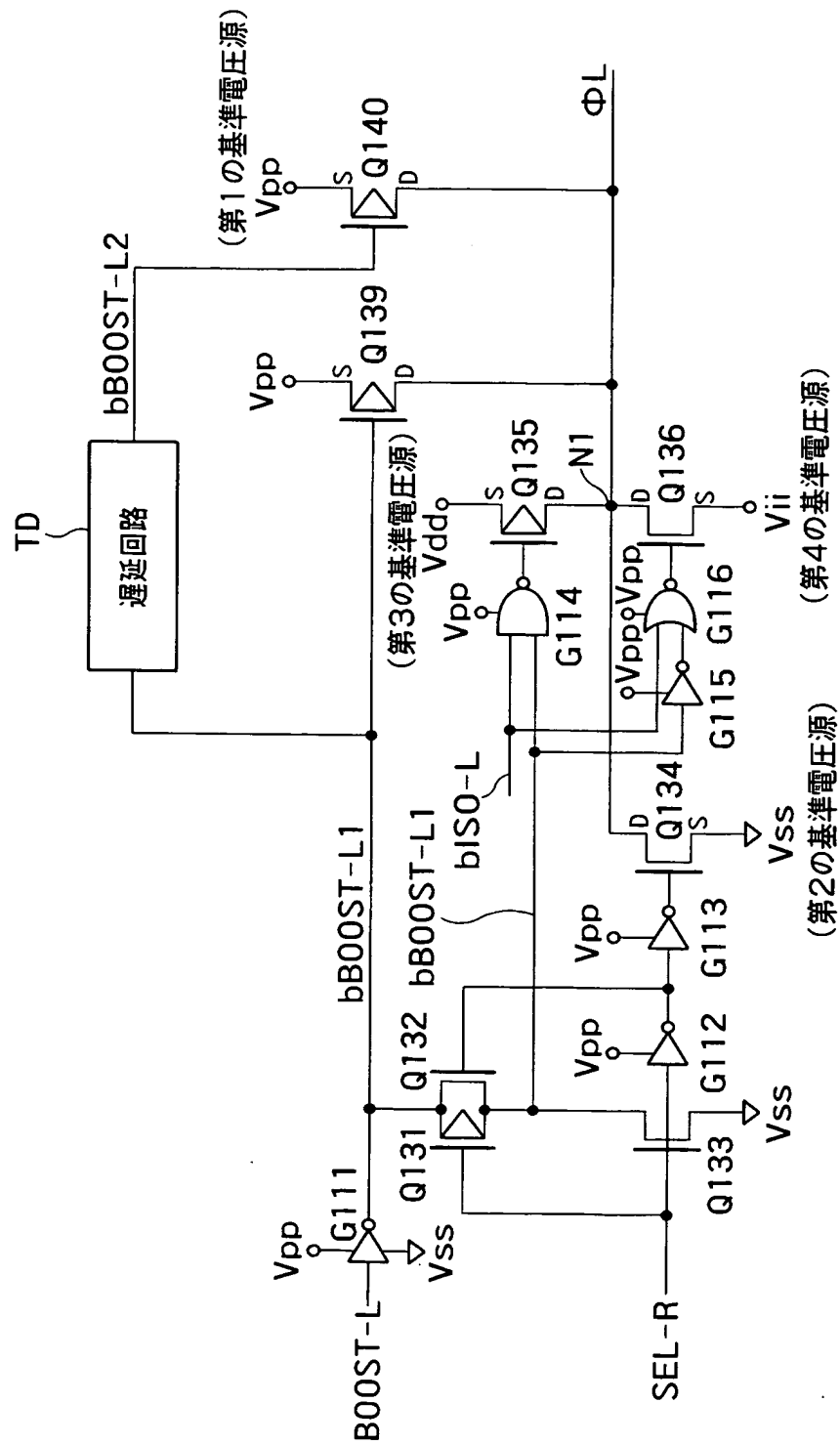
【図 1】



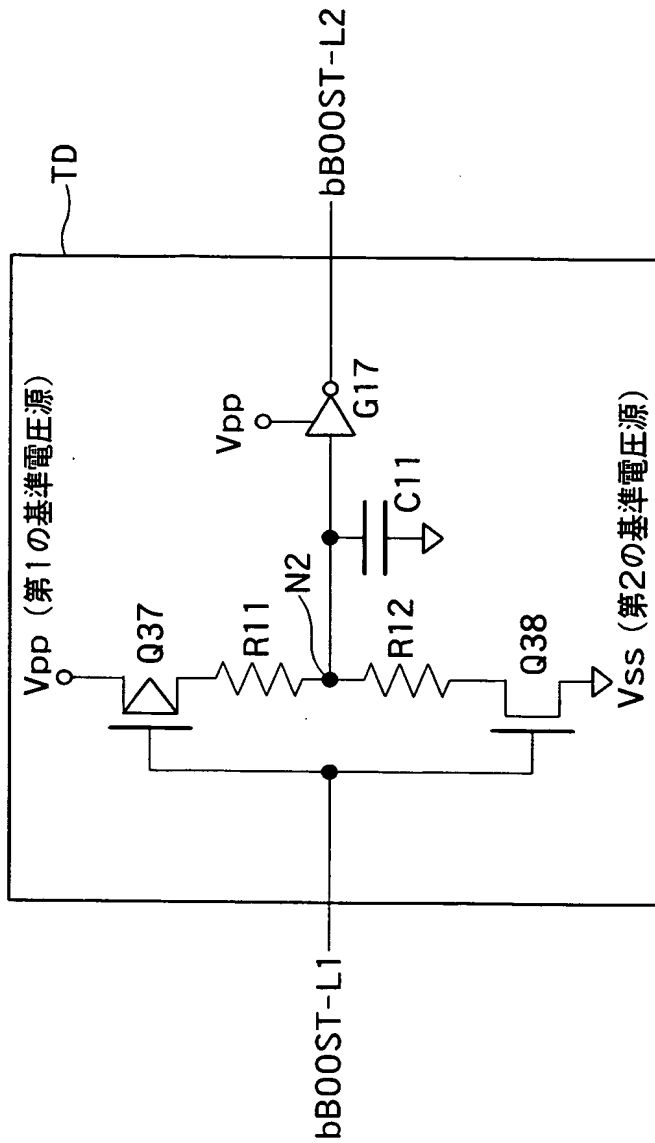
【図 2】



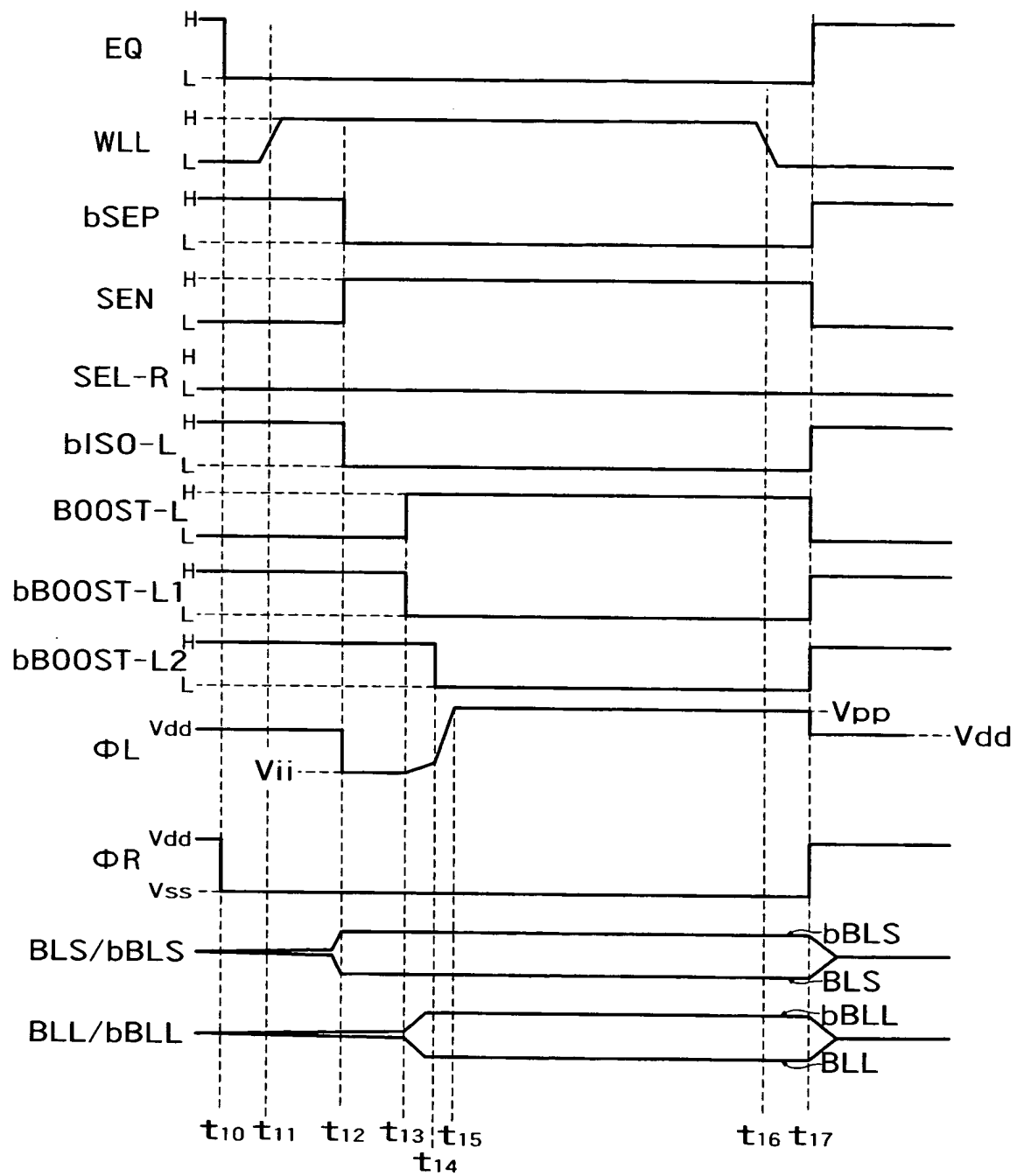
【図 3】



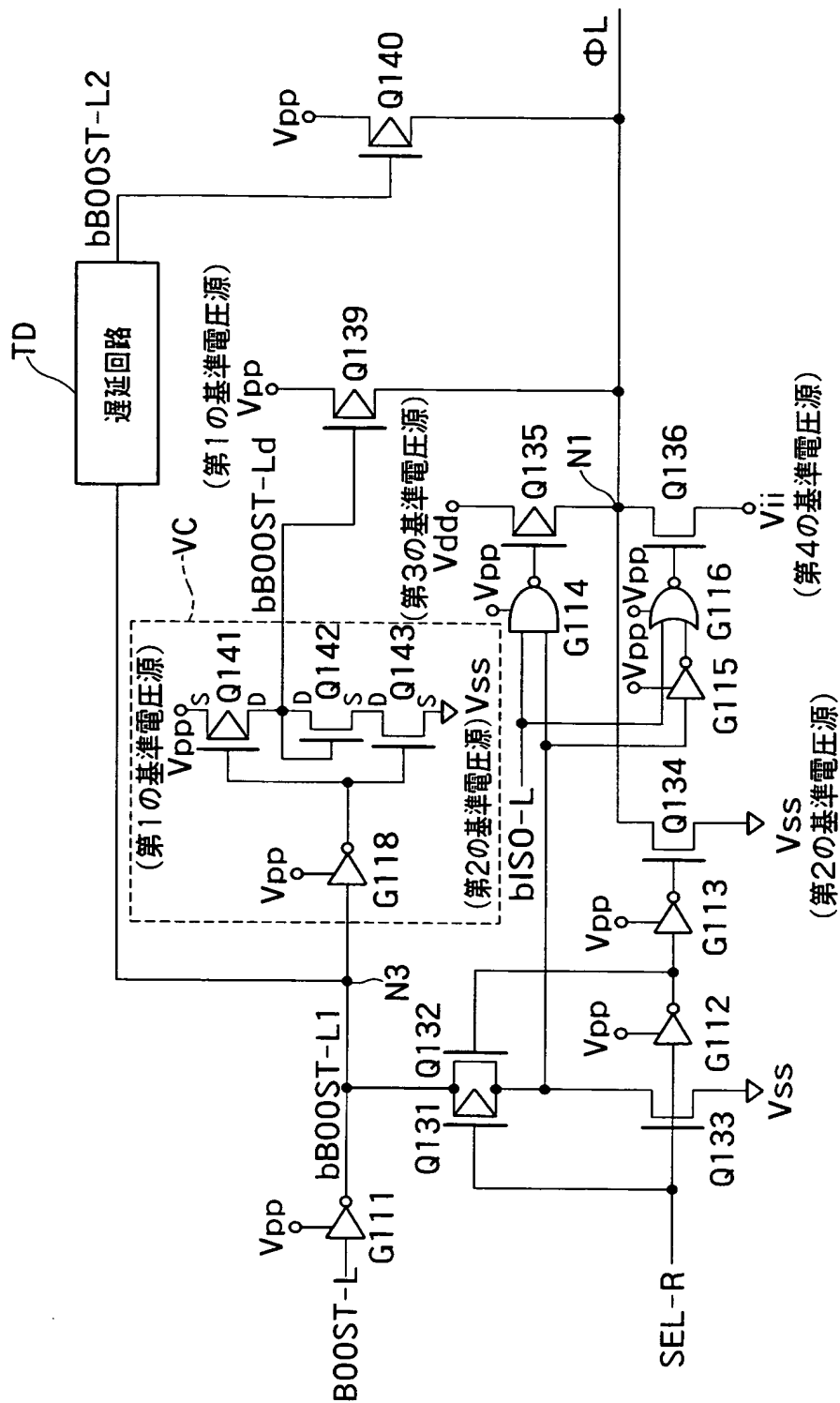
【図 4】



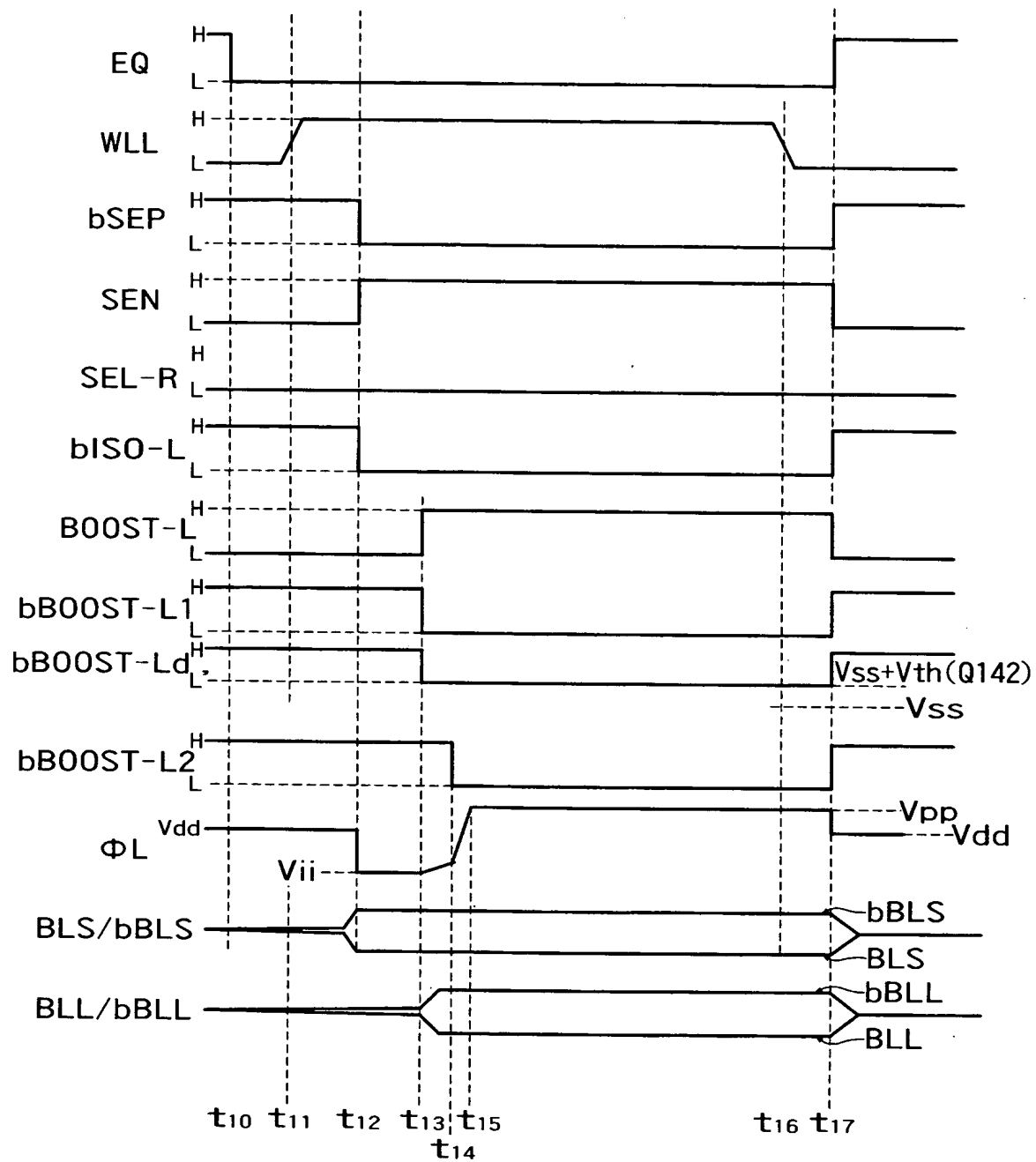
【図 5】



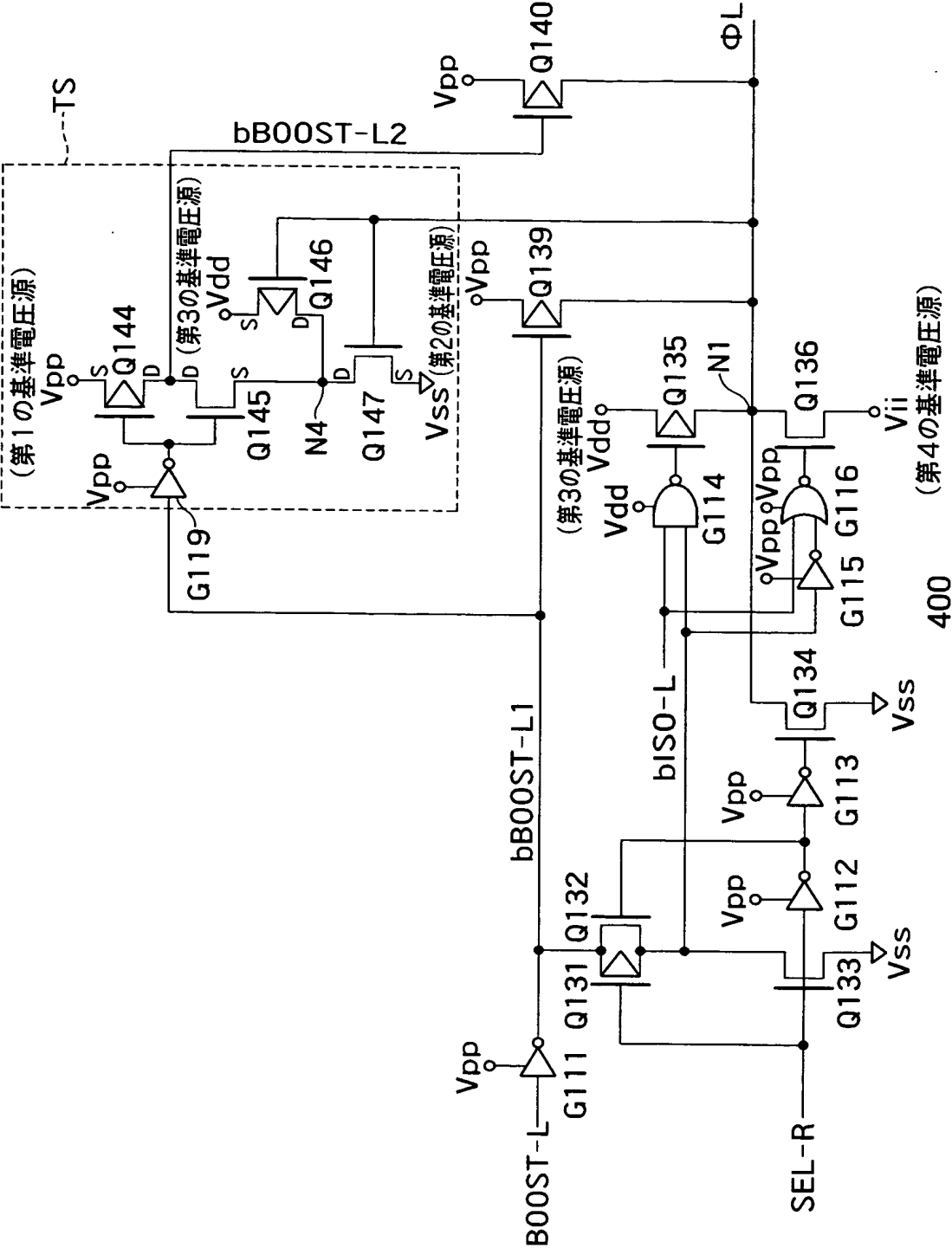
【図 6】



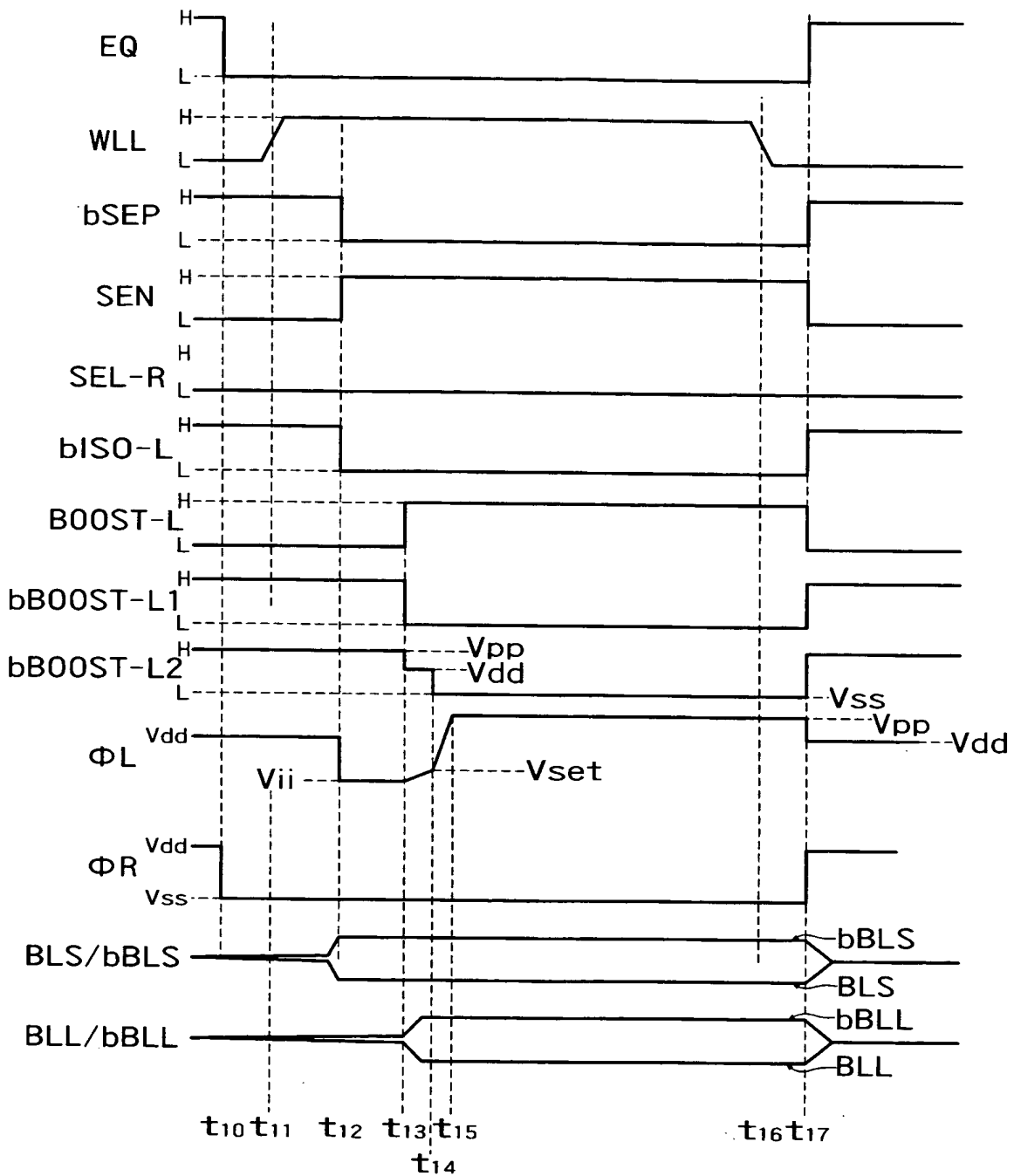
【図 7】



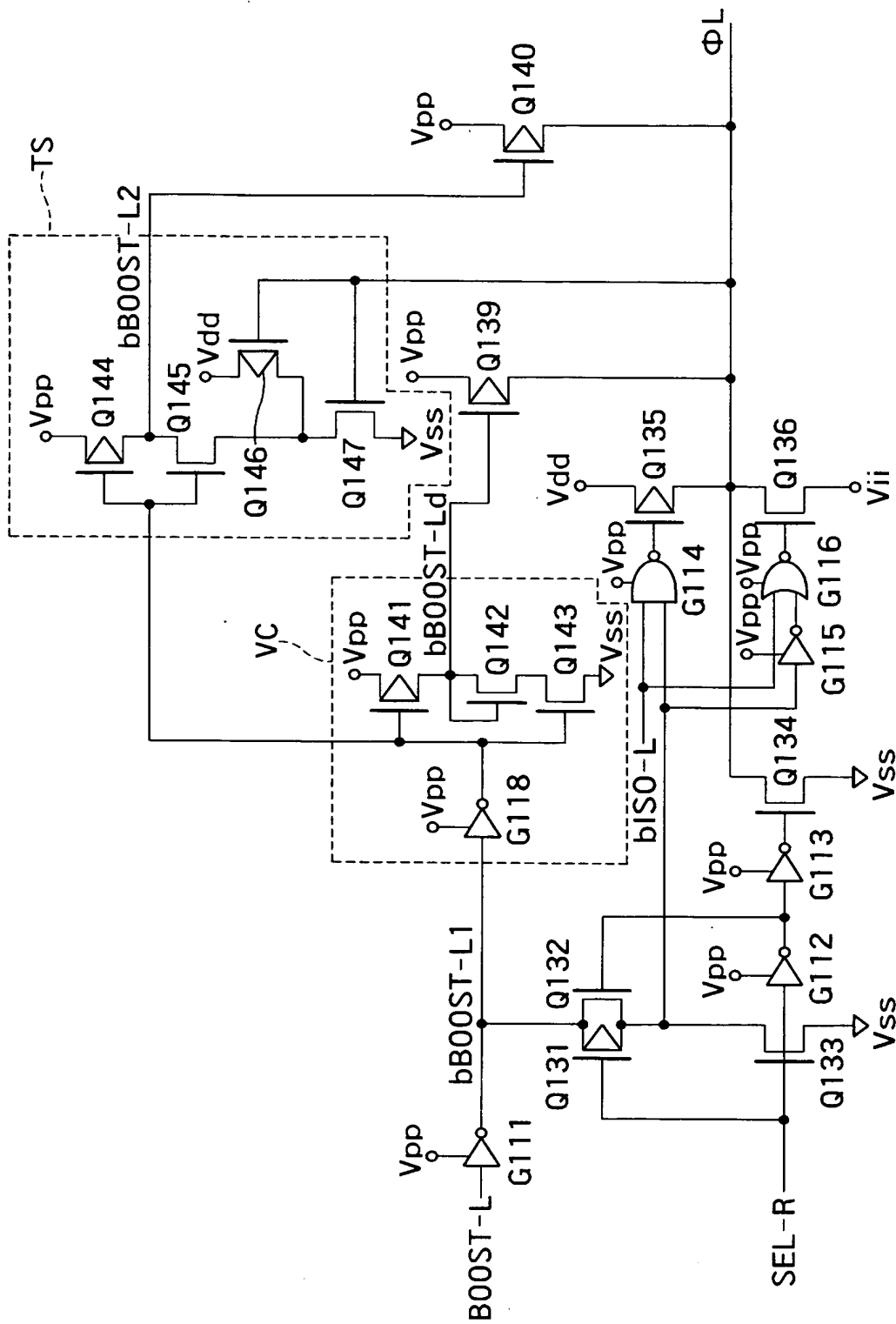
【図 8】



【図 9】

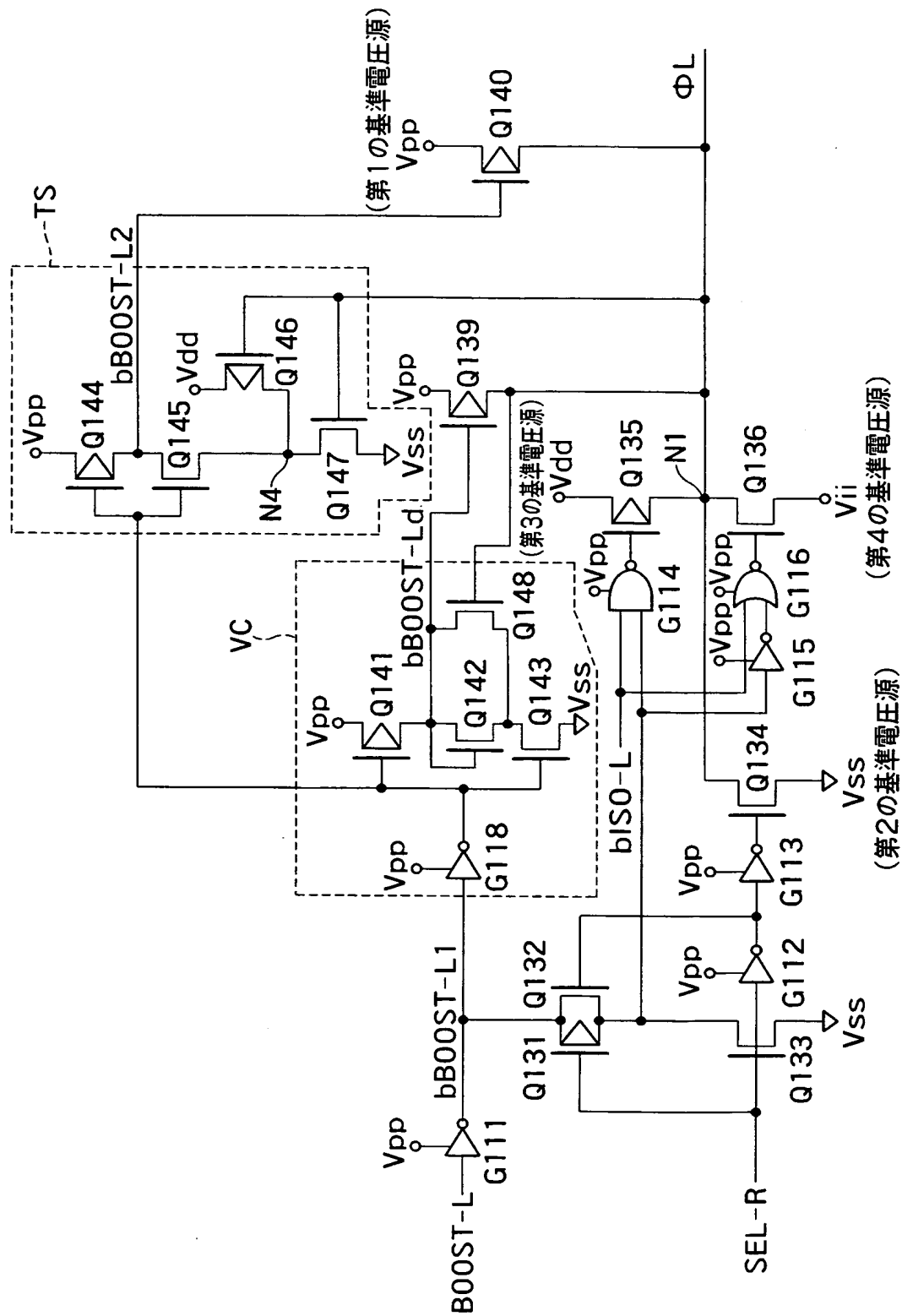


【図 10】



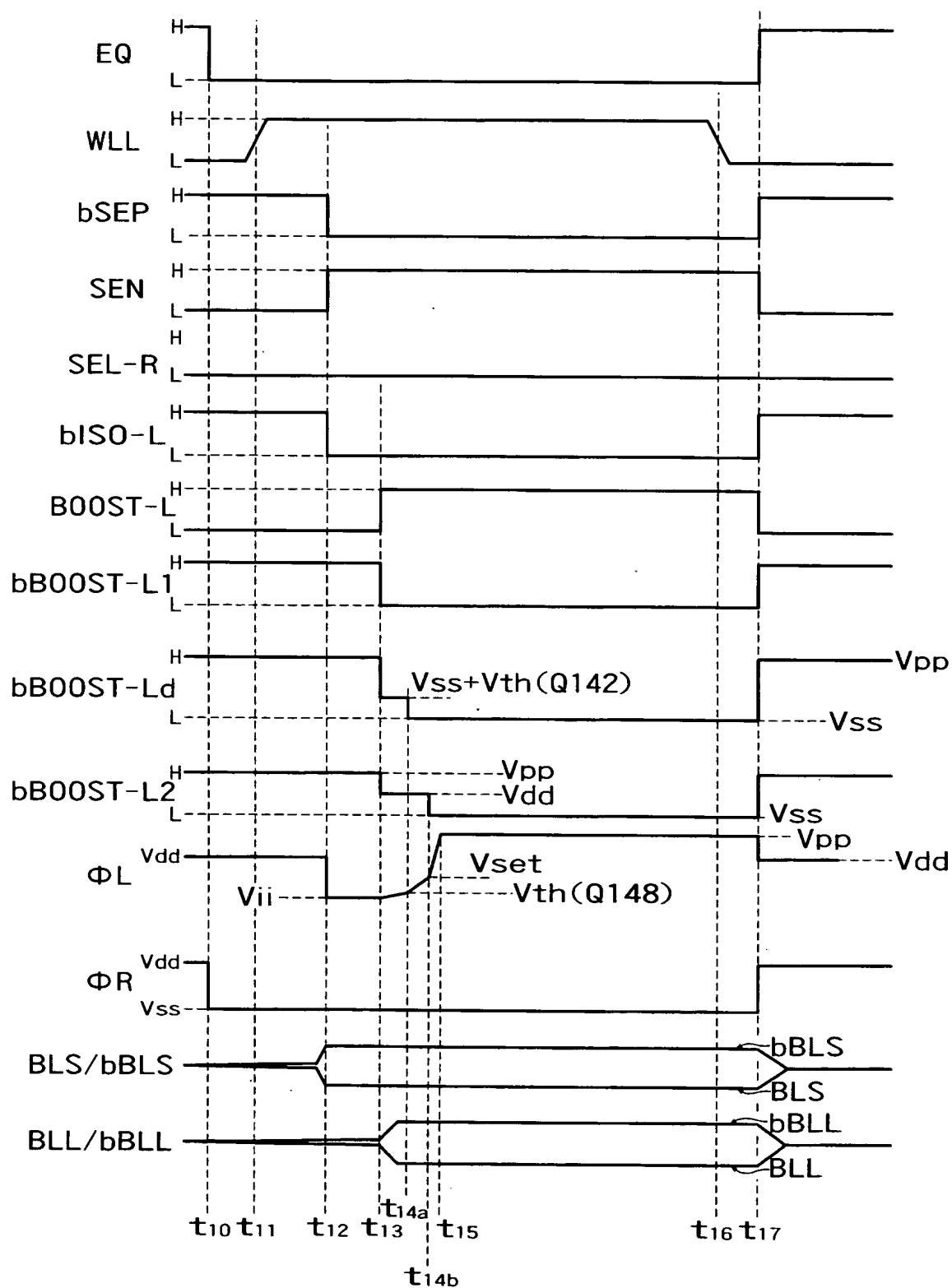
500

【図 11】

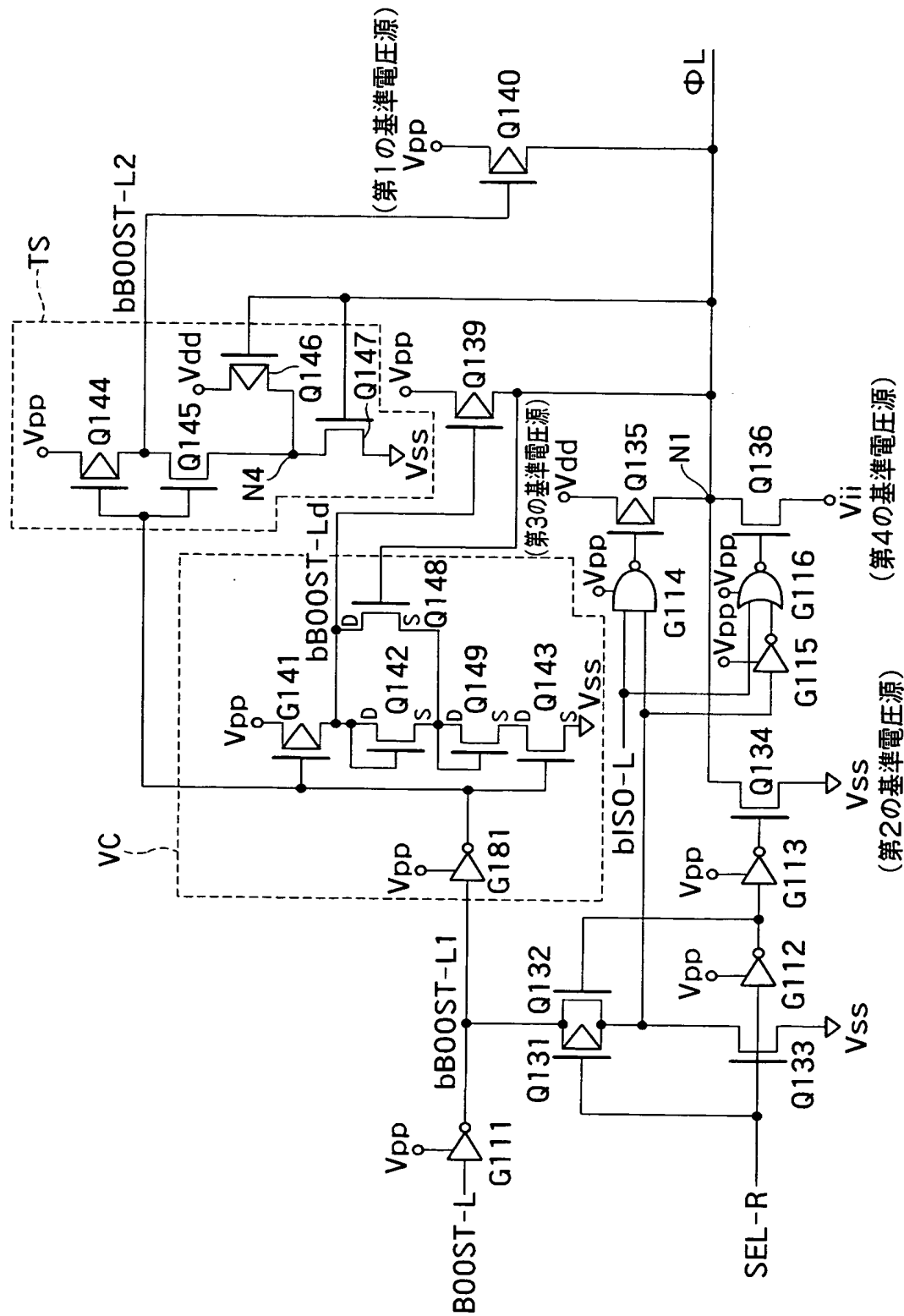


600

【図 12】

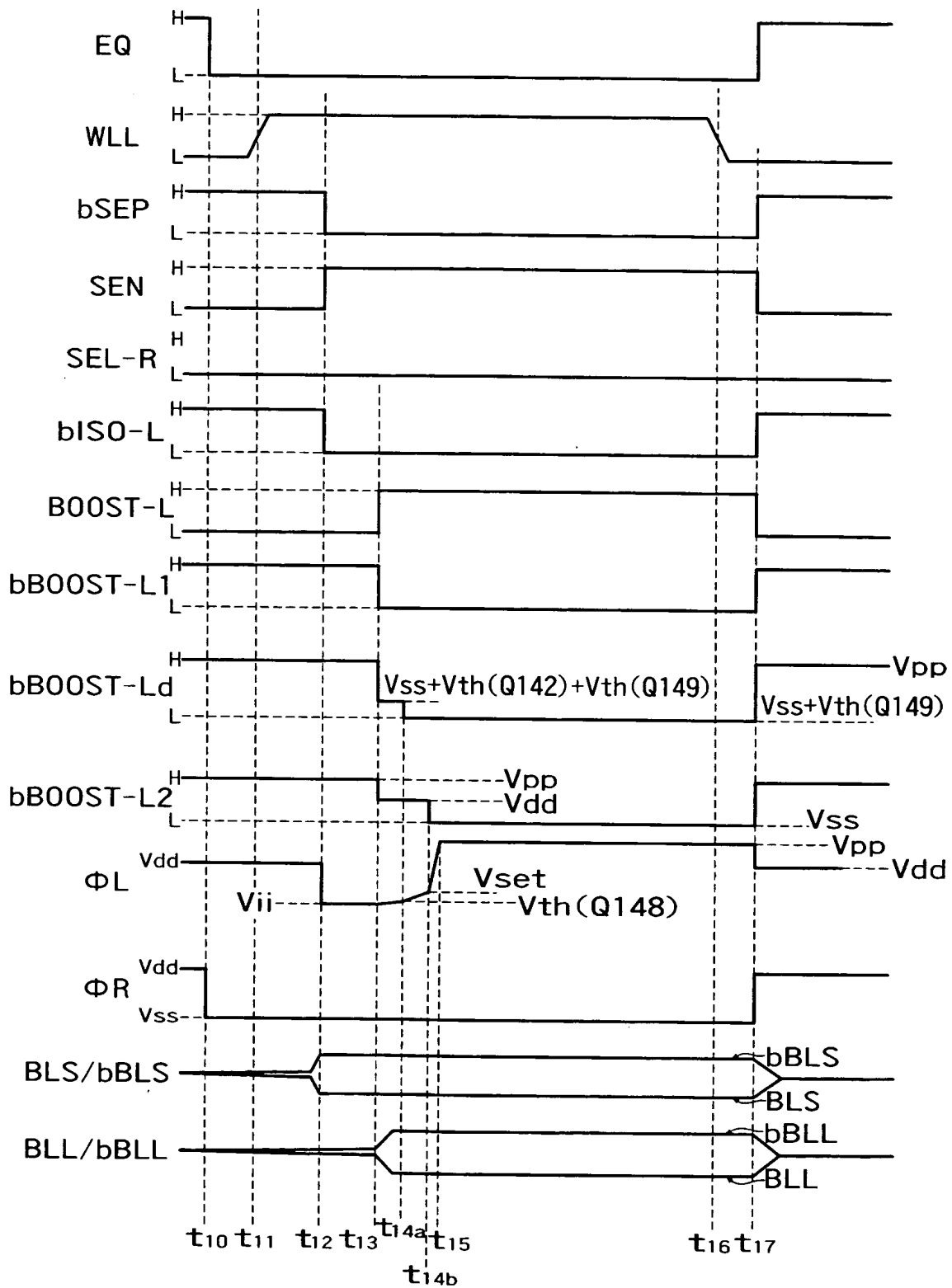


【図 13】

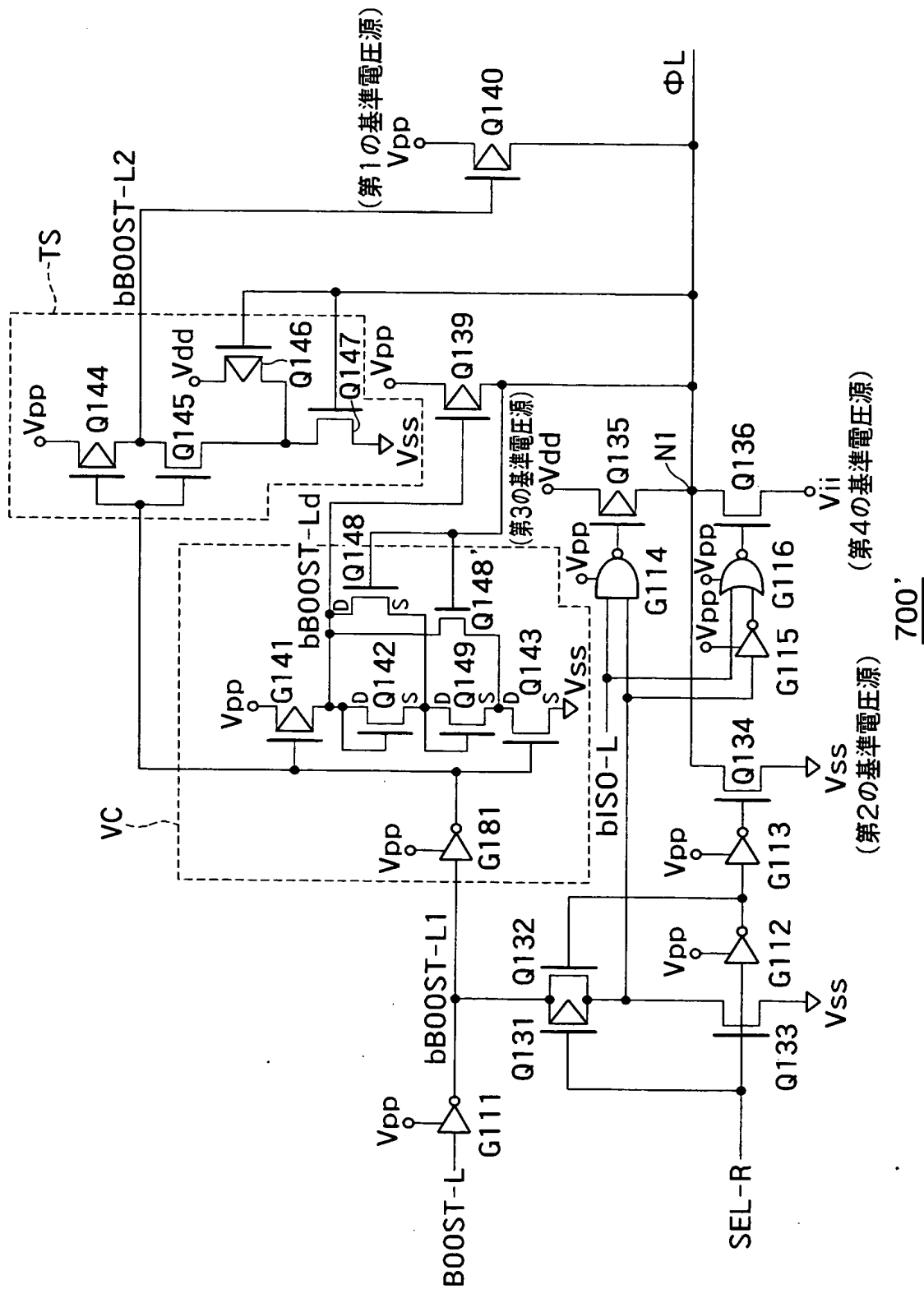


700

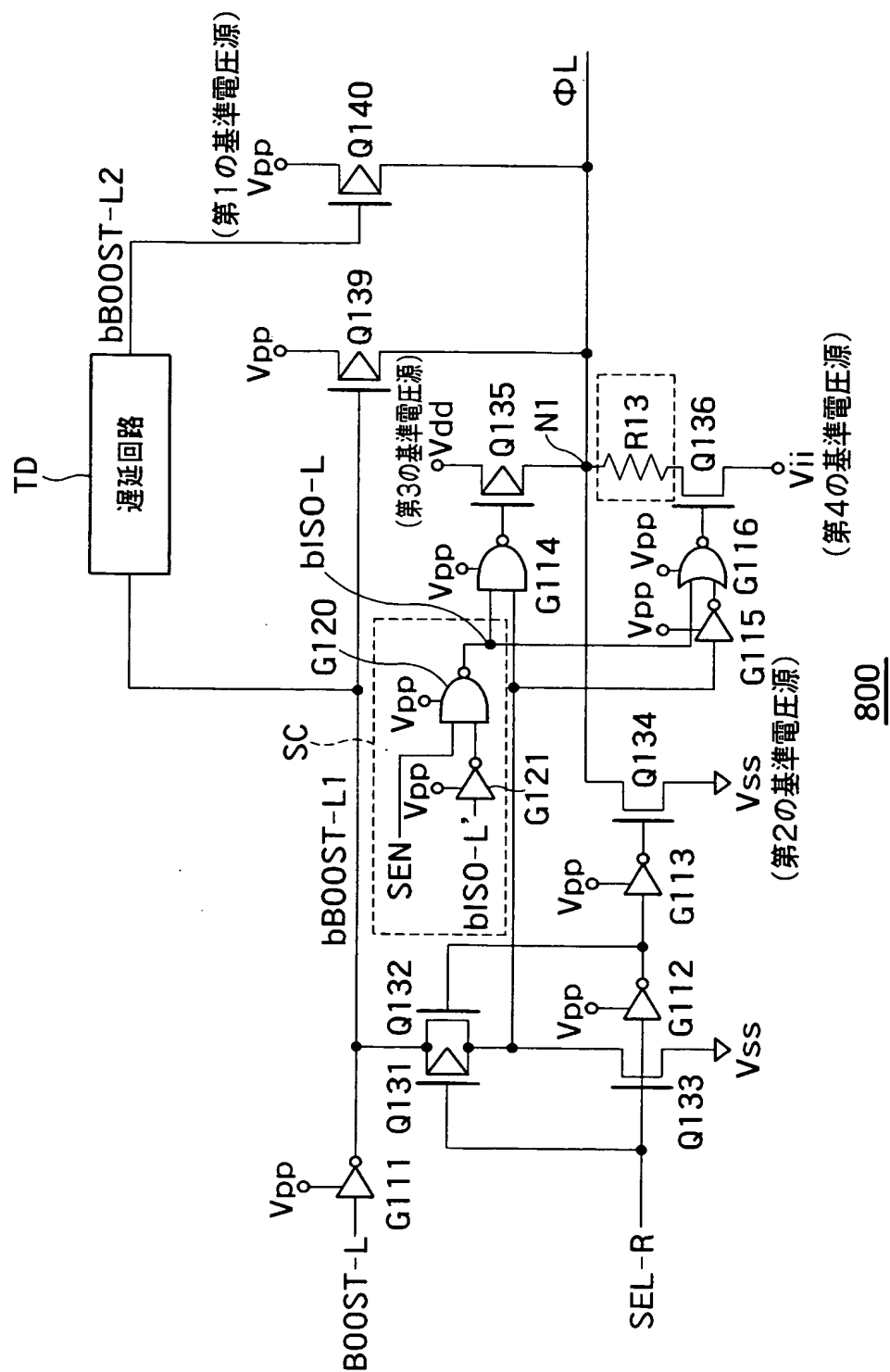
【図 14】



【図 15】

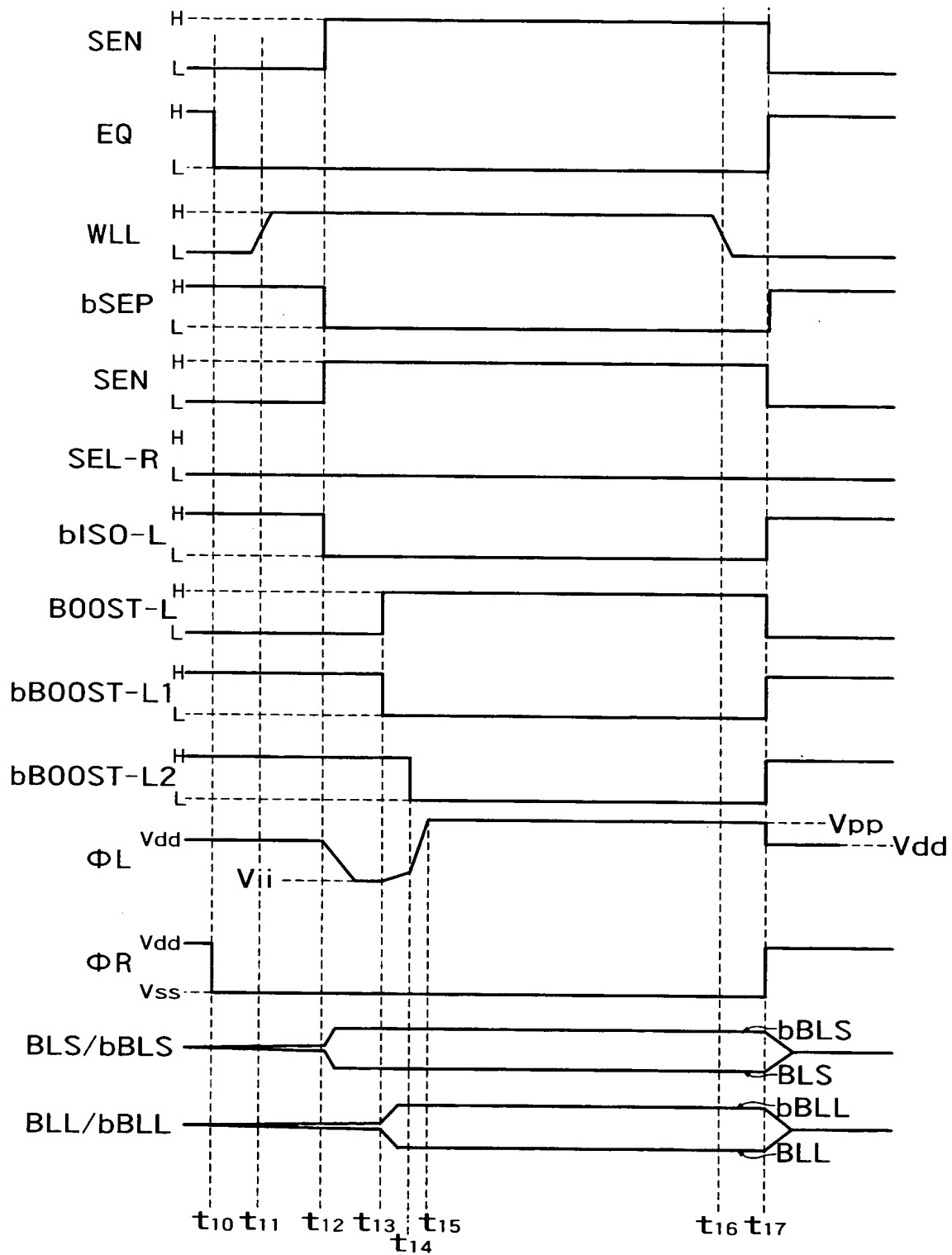


【図 16】

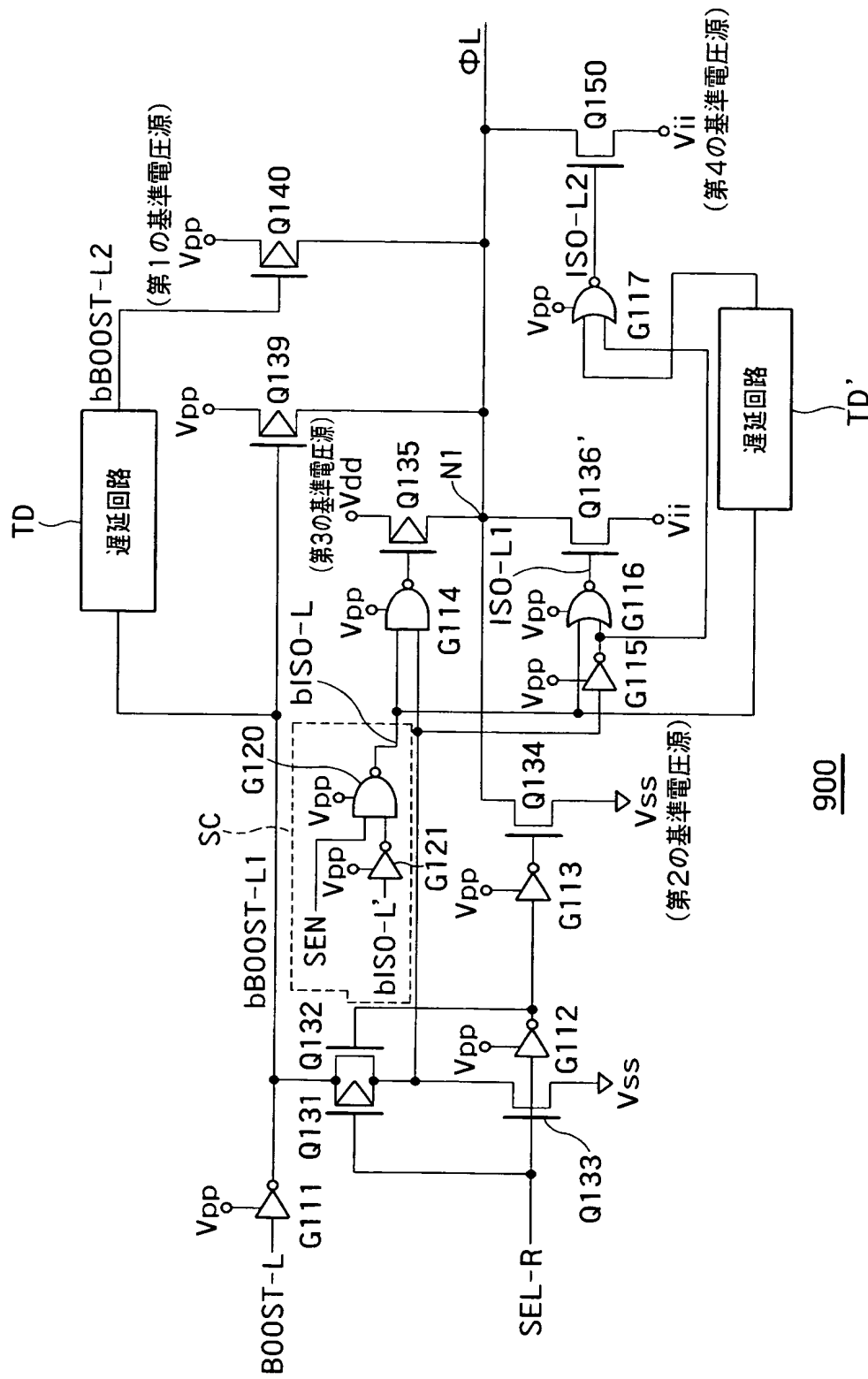


800

【図 17】

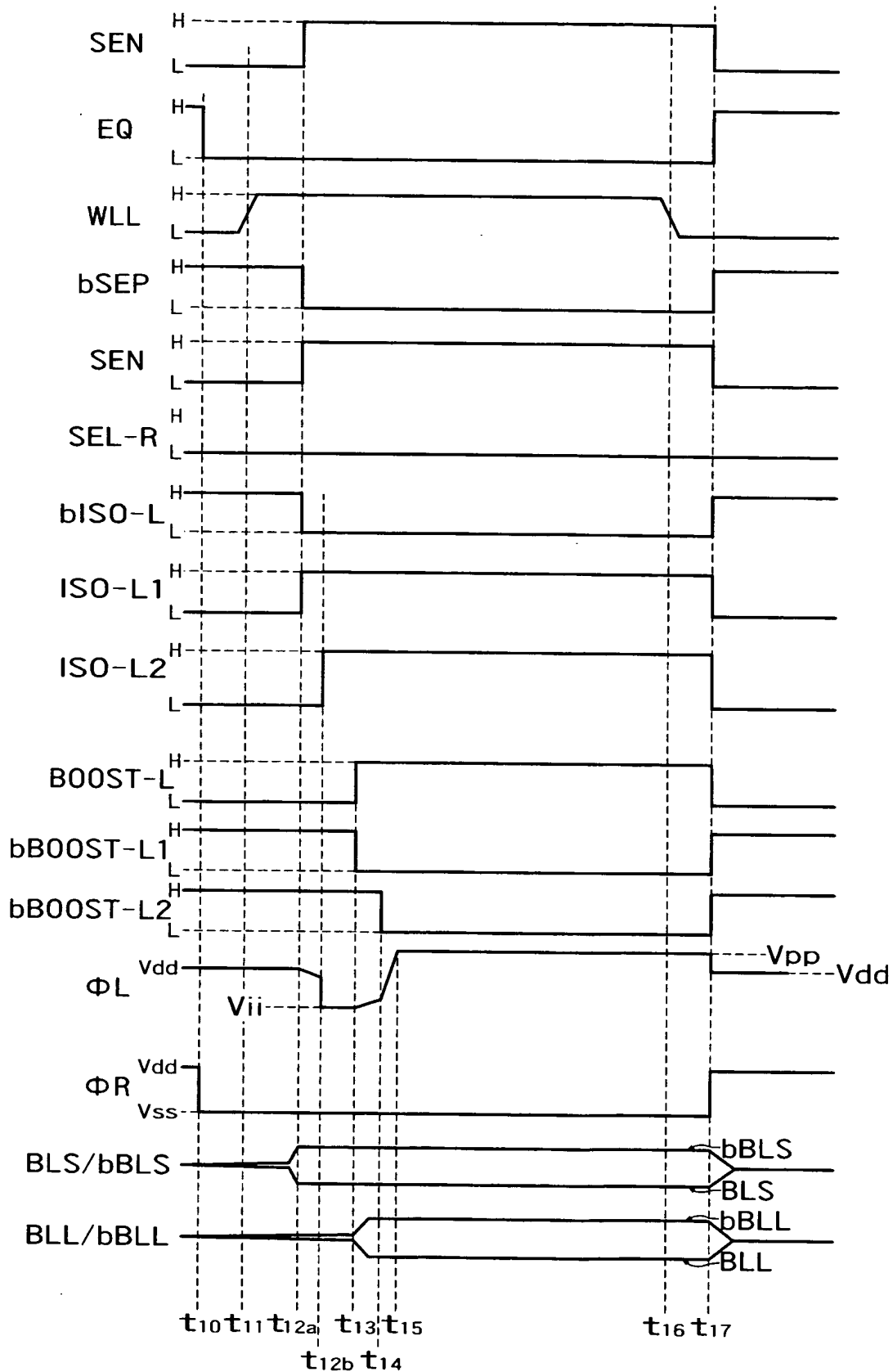


【図 18】

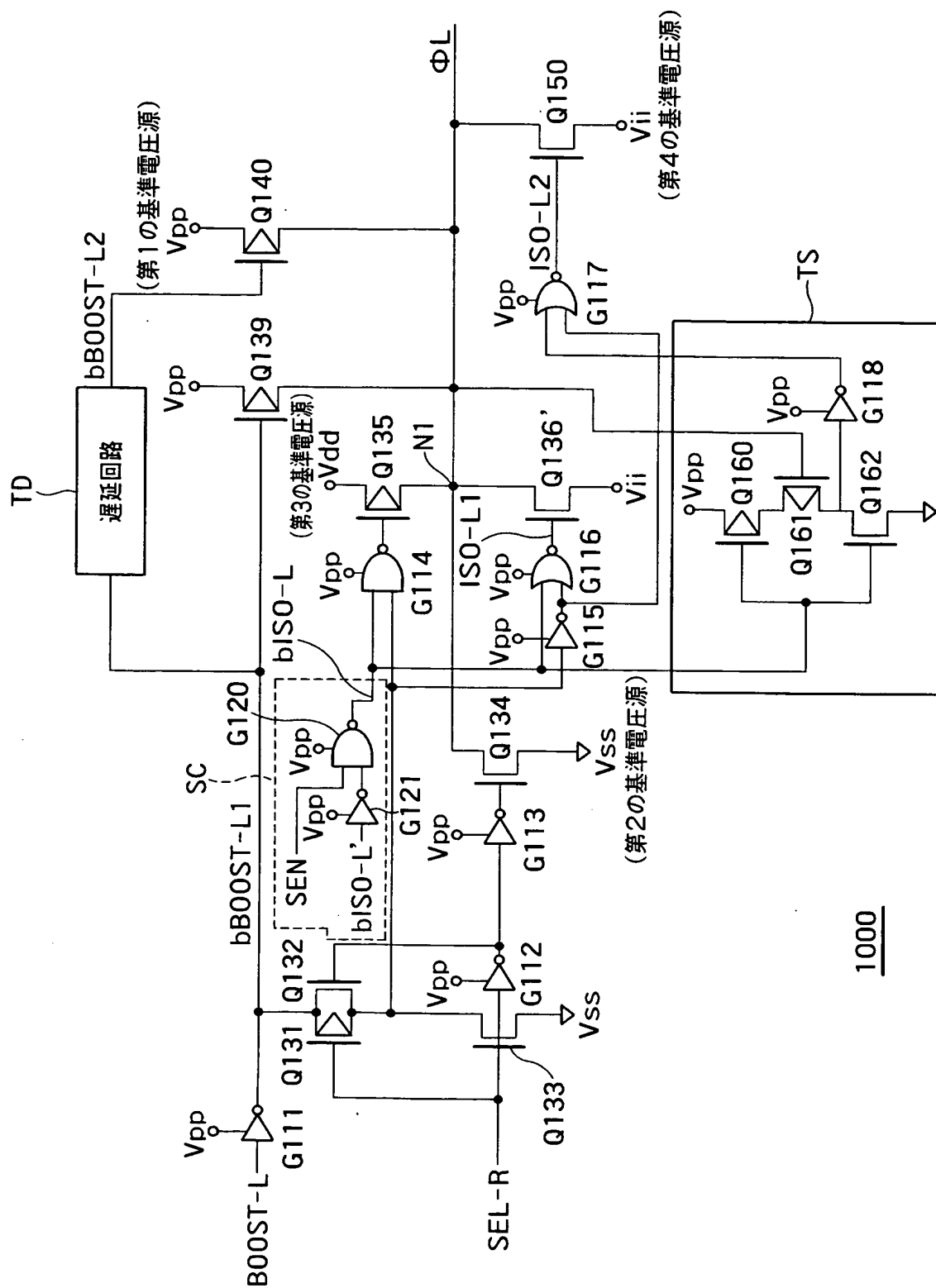


900

【図 19】

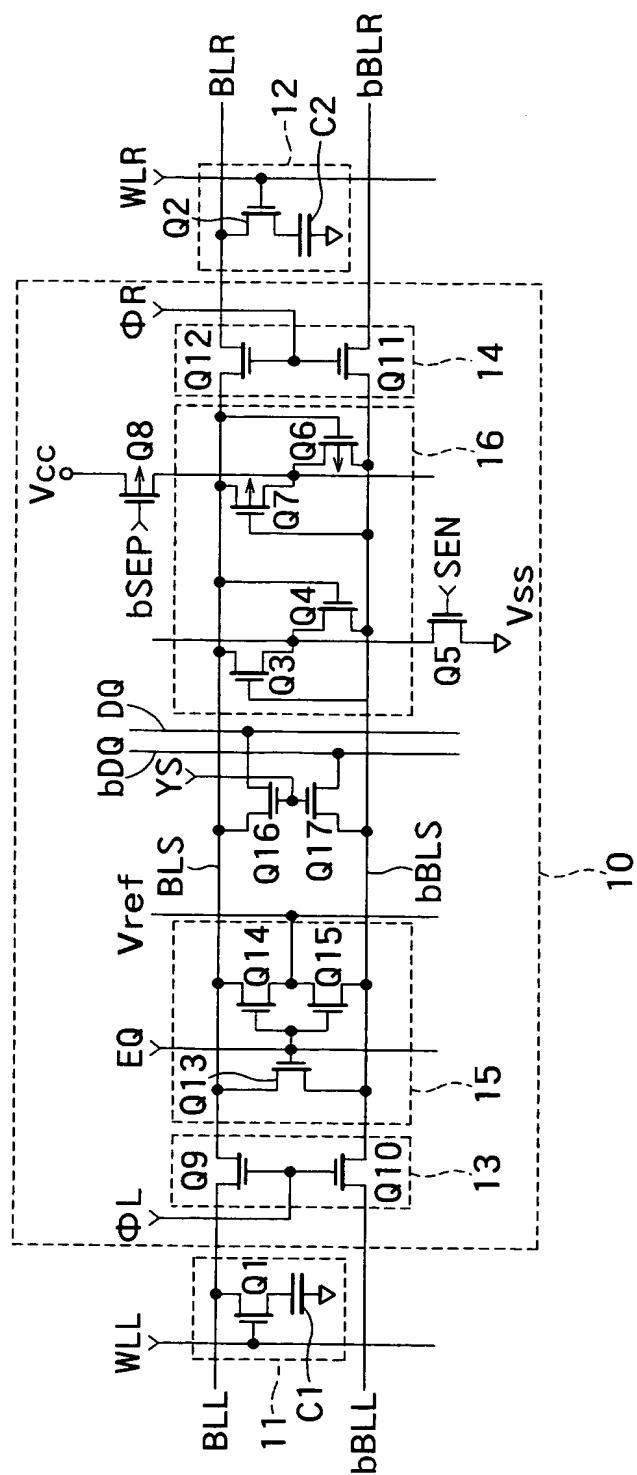


【図 20】

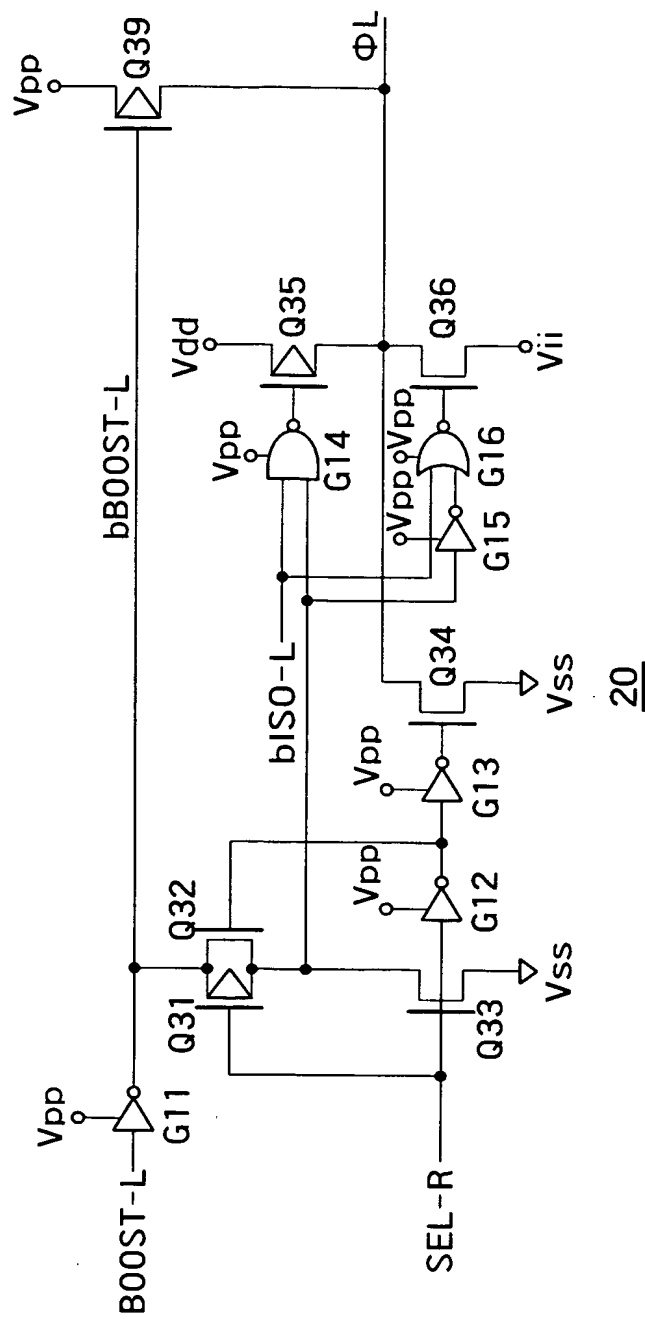


1000

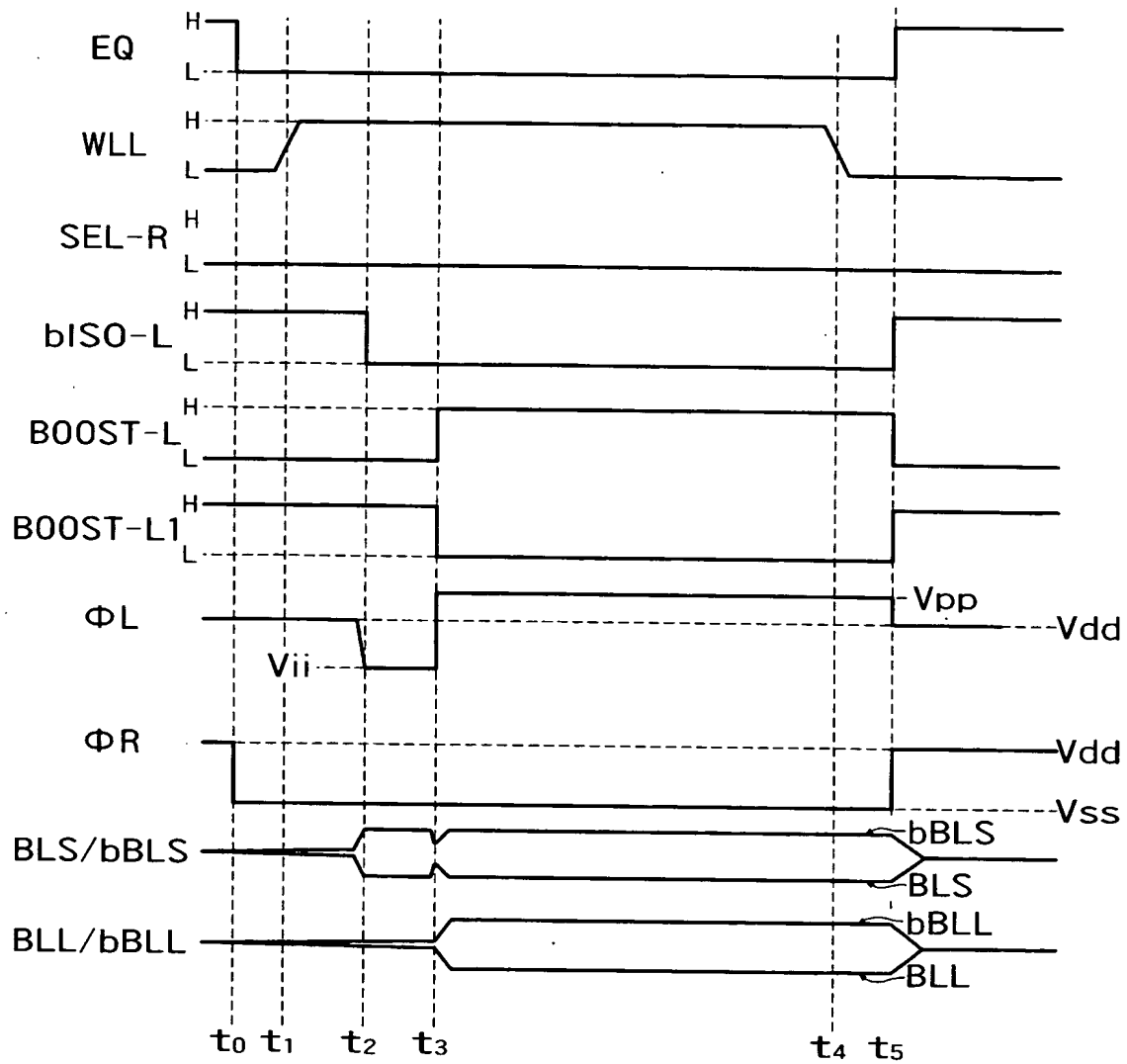
【図 21】



【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 データを高速に増幅することができ、尚且つ、データの増幅時にビット線の容量に起因するノイズを防止した半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、多数のメモリセルおよび該メモリセル内のデータを伝達するビット線を含むメモリセルアレイと、ビット線に接続され、データを増幅する増幅回路と、ビット線と増幅回路との間に接続されたスイッチング素子Q109と、Q109をオンさせる電圧をそのゲートに印加する基準電圧源Vppと、Q109のゲートとVppとの間に直列に接続されかつ互いに並列に接続されたスイッチング素子Q139、Q140と、Q139およびQ140をオンさせる電圧をこれらのゲートへ印加する基準電圧源Vssと、Q140のゲートとVssとの間に接続され、Q139の動作よりもQ140の動作を遅延させるタイミング変更回路とを備える。

【選択図】 図3

特願 2 0 0 2 - 3 4 5 6 5 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝